

PATENT COOPERATION TREATY

PCT

NOTIFICATION OF ELECTION
(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Assistant Commissioner for Patents
United States Patent and Trademark
Office
Box PCT
Washington, D.C.20231
ETATS-UNIS D'AMERIQUE

in its capacity as elected Office

Date of mailing: 02 November 2000 (02.11.00)	
International application No.: PCT/JP99/02140	Applicant's or agent's file reference: 319803423971
International filing date: 22 April 1999 (22.04.99)	Priority date:
Applicant: KOYAMA, Akio	

1. The designated Office is hereby notified of its election made:

in the demand filed with the International preliminary Examining Authority on:
22 April 1999 (22.04.99)

in a notice effecting later election filed with the International Bureau on:

2. The election was

was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer: J. Zahra Telephone No.: (41-22) 338.83.38
---	--

THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/02140

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ H01L21/82, H01L21/822, H01L27/04, H01L27/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H01L21/82, H01L21/822, H01L27/04, H01L27/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-1999
Kokai Jitsuyo Shinan Koho	1971-1999	Jitsuyo Shinan Toroku Koho	1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 8-186180, A (Oki Electric Industry Co., Ltd.), 16 July, 1996 (16. 07. 96), Fig. 11 (Family: none)	1, 2, 4, 7, 8, 10, 21, 27, 39
X	JP, 6-21443, A (Nippon Electric Co.), 28 January, 1994 (28. 01. 94), Fig. 5 & US, 5461338, A	1, 21, 27, 39
X	JP, 6-334010, A (Nippon Telegraph & Telephone Corp.), 2 December, 1994 (02. 12. 94), Fig. 1 (Family: none)	1, 21, 27, 39
A	JP, 6-216346, A (Sony Corp.), 5 August, 1994 (05. 08. 94), Fig. 1 (Family: none)	1-46
A	JP, 3-82152, A (NEC Corp.), 8 April, 1991 (08. 04. 91), Fig. 1 (Family: none)	36

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
9 July, 1999 (09. 07. 99)

Date of mailing of the international search report
21 July, 1999 (21. 07. 99)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/02140

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 61-125068, A (Hitachi, Ltd.), 12 June, 1986 (12. 06. 86), Figs. 2 to 11 (Family: none)	38

国際調査報告

国際出願番号 PCT/JP99/02140

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl⁶ H01L21/82, H01L21/822, H01L27/04, H01L27/08

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl⁶ H01L21/82, H01L21/822, H01L27/04, H01L27/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996
日本国公開実用新案公報	1971-1999
日本国登録実用新案公報	1994-1999
日本国実用新案登録公報	1996-1999

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 8-186180, A (沖電気工業株式会社) 16. 7月. 1996 (16. 07. 96) 第11図 (ファミリー無し)	1, 2, 4, 7, 8, 10, 21, 27, 39
X	JP, 6-21443, A (日本電気工業株式会社) 28. 1月. 1994 (28. 01. 94) 第5図&US, 5461338, A	1, 21, 27, 39
X	JP, 6-334010, A (日本電信電話株式会社) 2. 12 月. 1994 (02. 12. 94) 第1図 (ファミリー無し)	1, 21, 27, 39
A	JP, 6-216346, A (ソニー株式会社) 5. 8月. 199 4 (05. 08. 94) 第1図 (ファミリー無し)	1-46

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

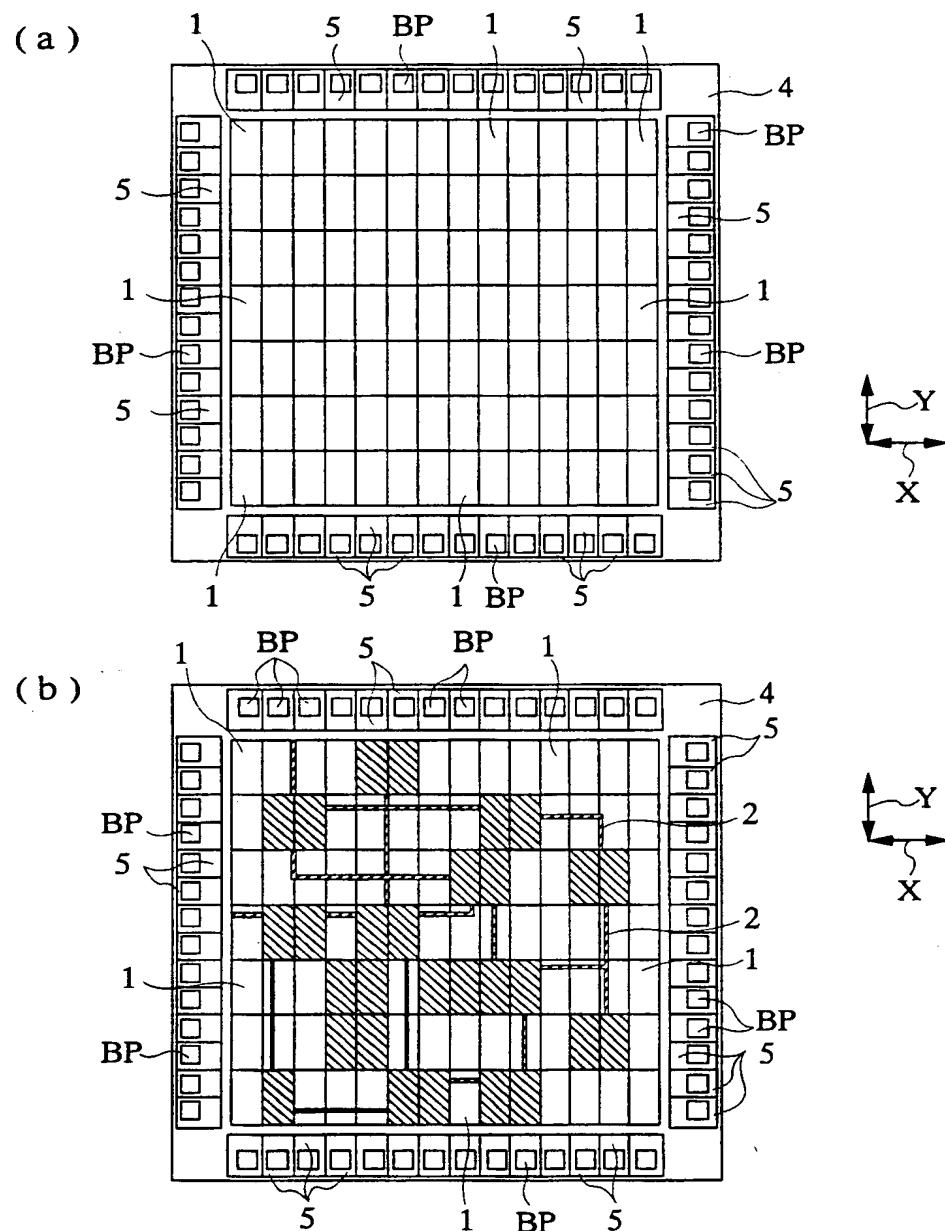
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 09. 07. 99	国際調査報告の発送日 21.07.99
--------------------------	------------------------

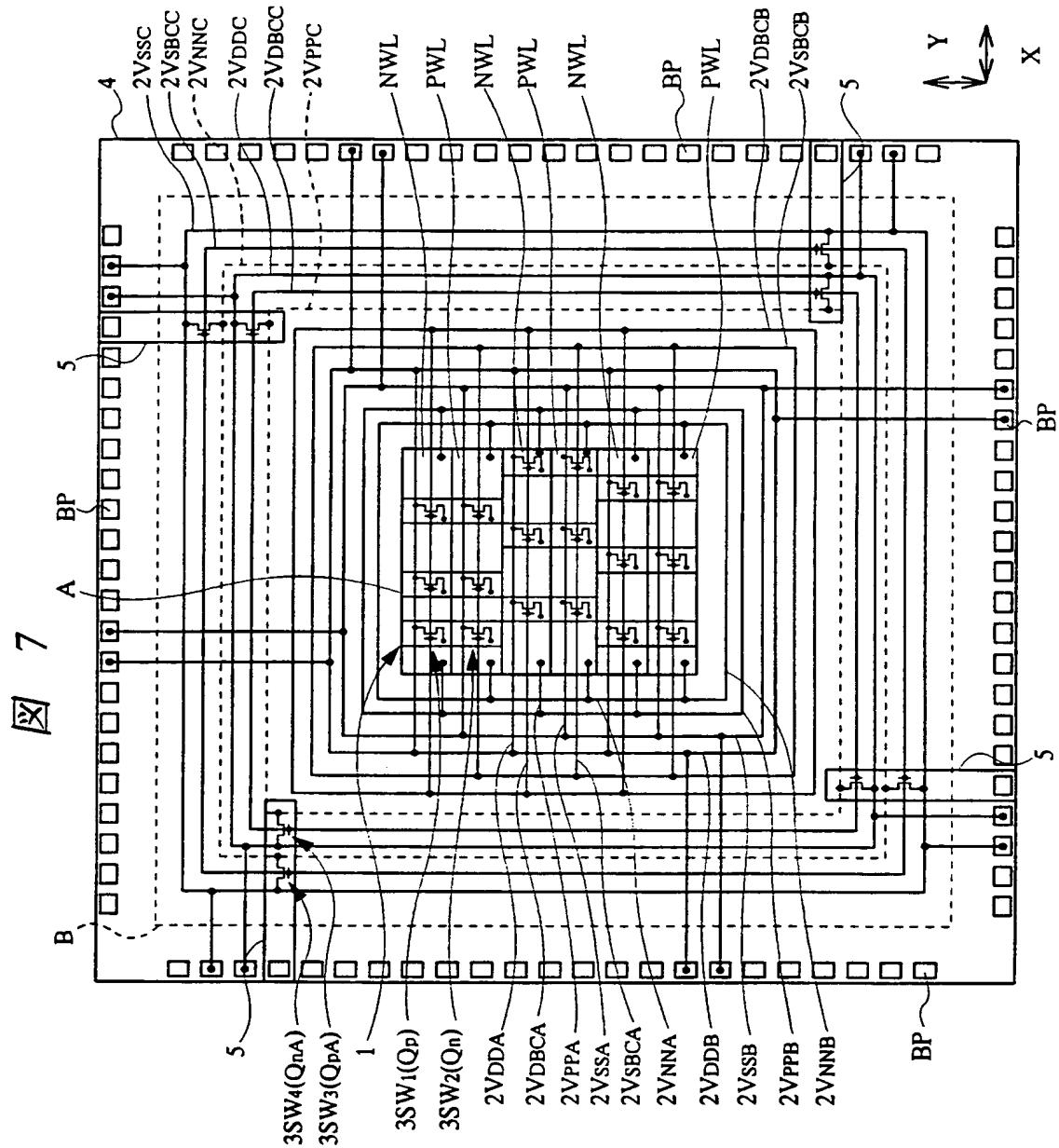
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 大嶋 洋一 電話番号 03-3581-1101 内線 3497	4 L	9170
---	---	-----	------

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	JP, 3-82152, A (日本電気株式会社) 8. 4月. 1991 (08. 04. 91) 第1図 (ファミリー無し)	36
A	JP, 61-125068, A (株式会社日立製作所) 12. 6月. 1986 (12. 06. 86) 第2~11図 (ファミリー無し)	38

図 6

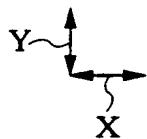
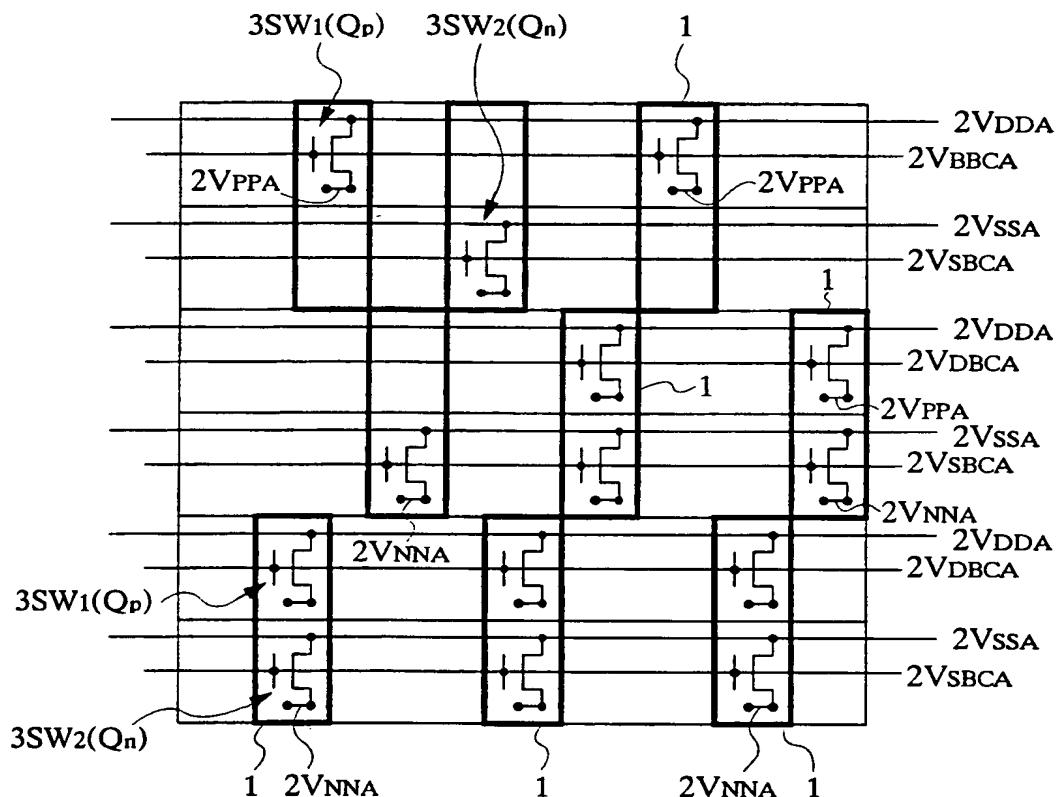


THIS PAGE BLANK (USPTO)



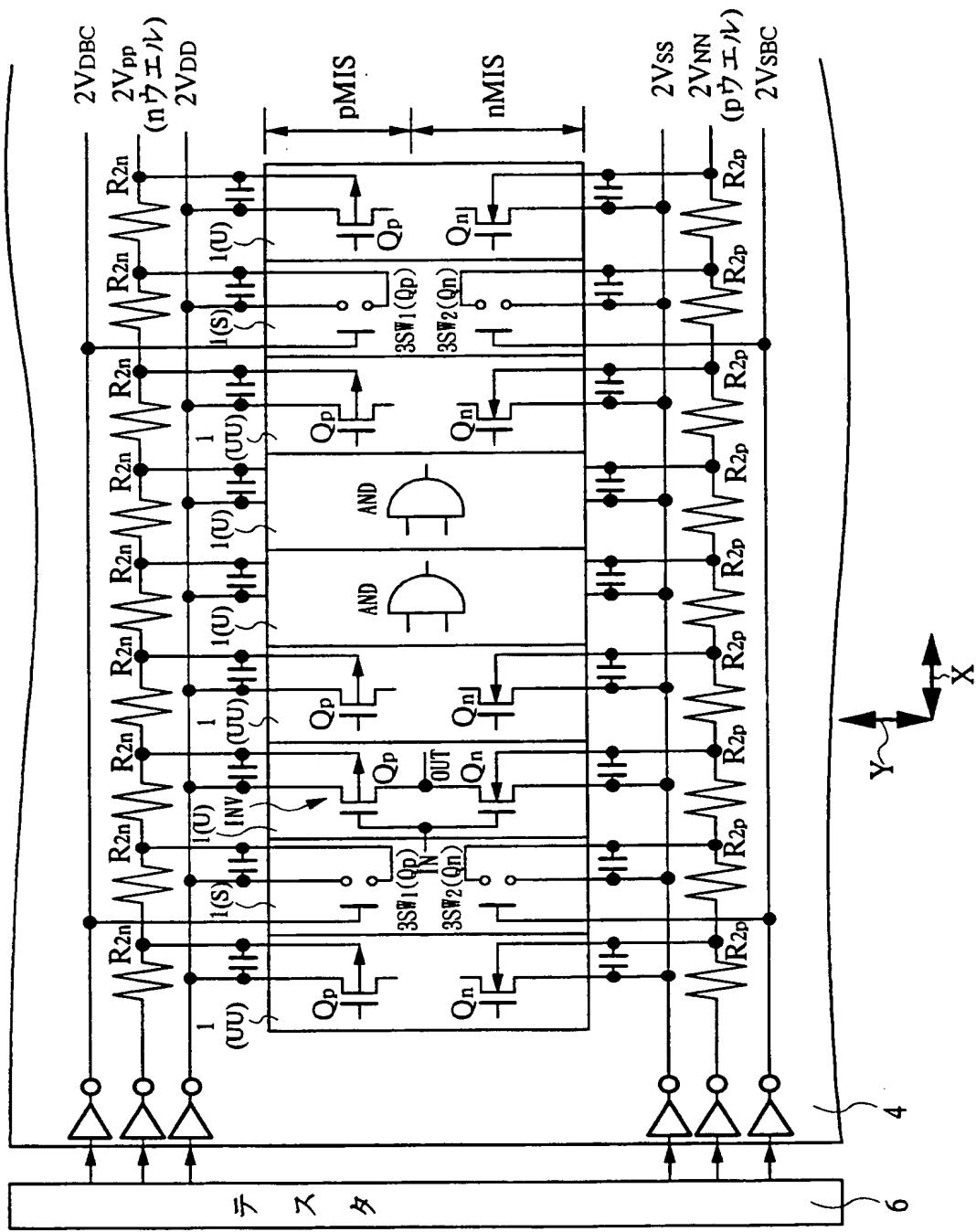
THIS PAGE BLANK (USPTO)

図 8



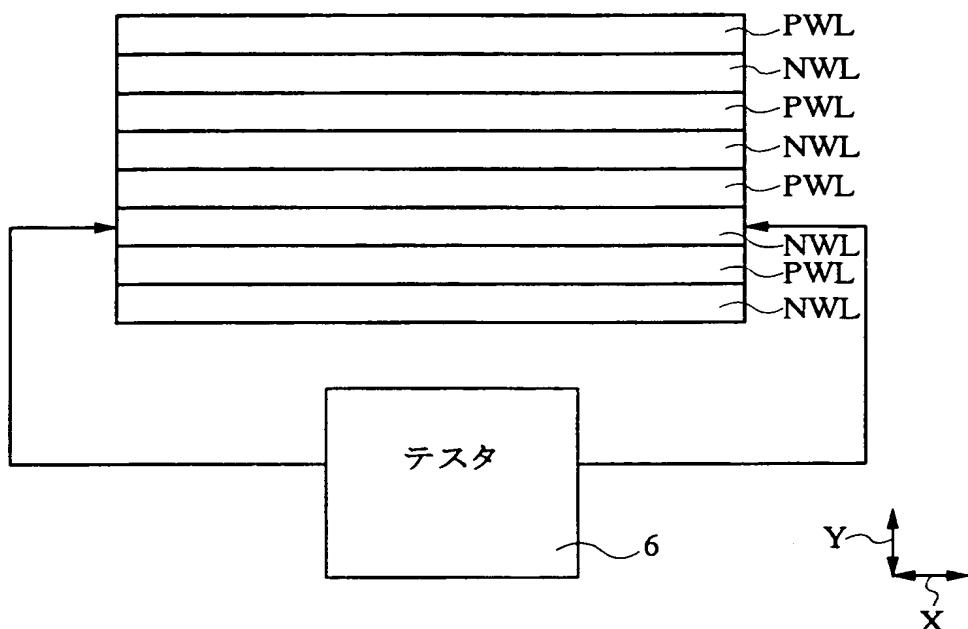
THIS PAGE BLANK (USPTO)

図 9



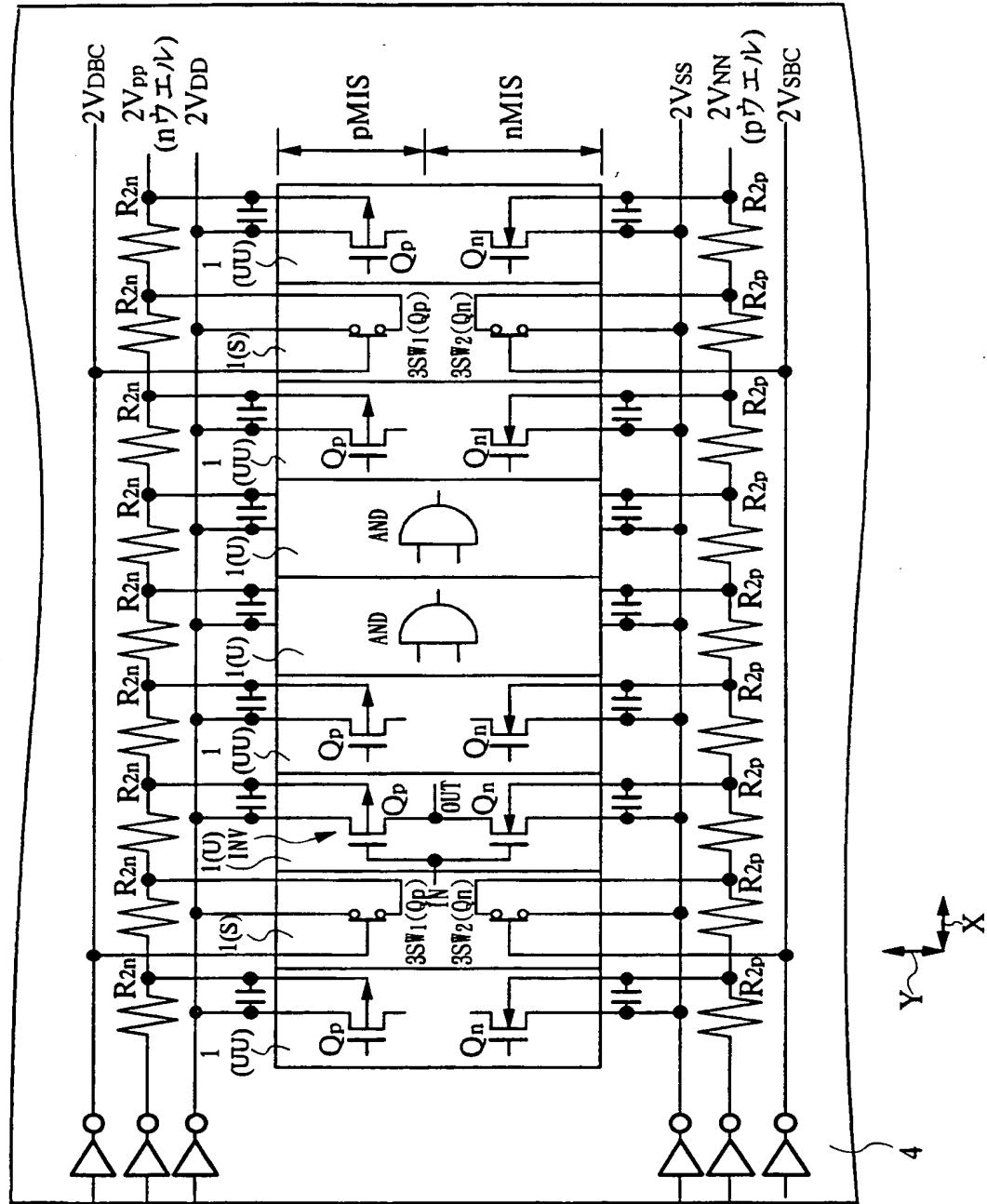
THIS PAGE BLANK (USPTO)

図 10

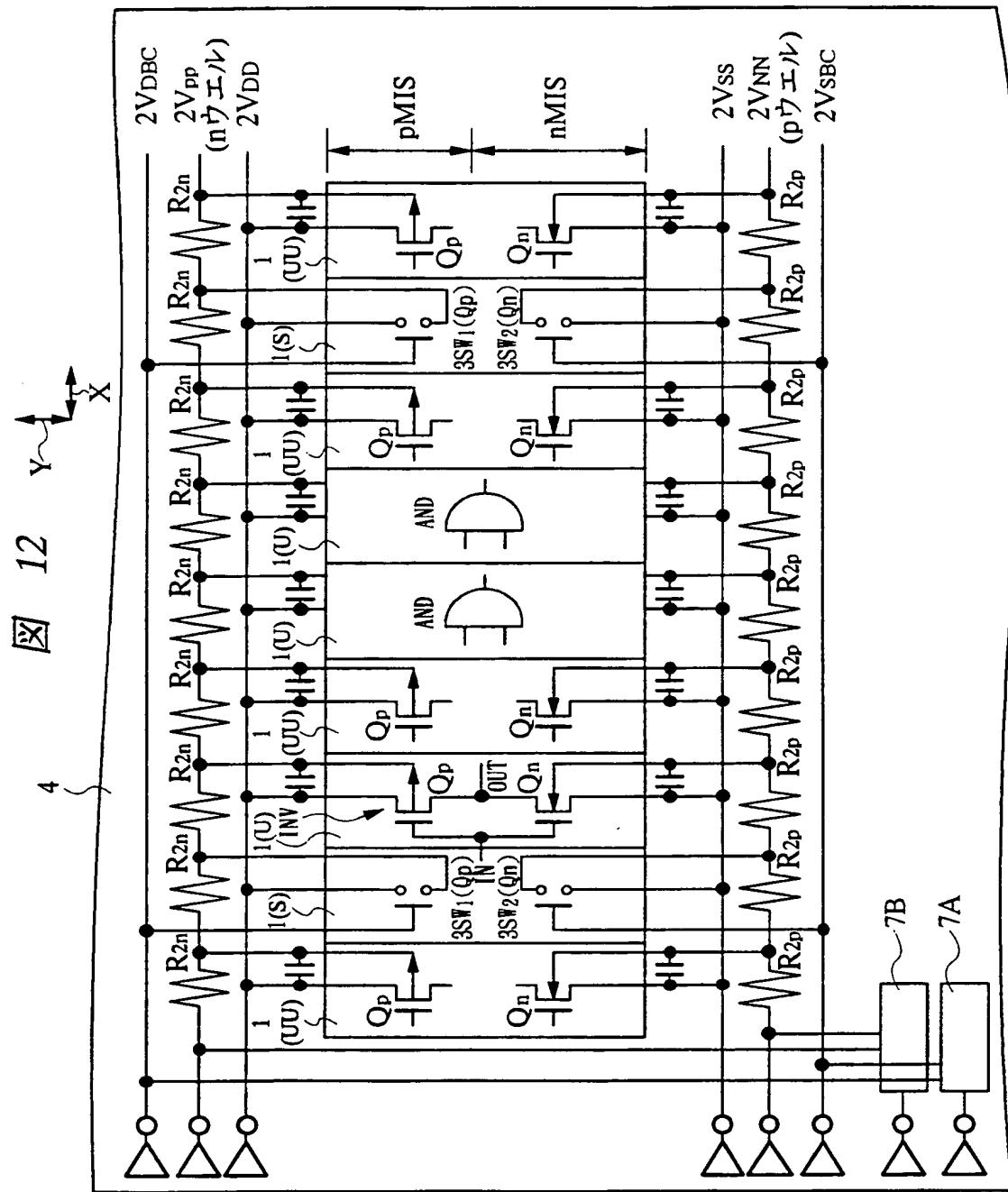


THIS PAGE BLANK (USPTO)

図 11

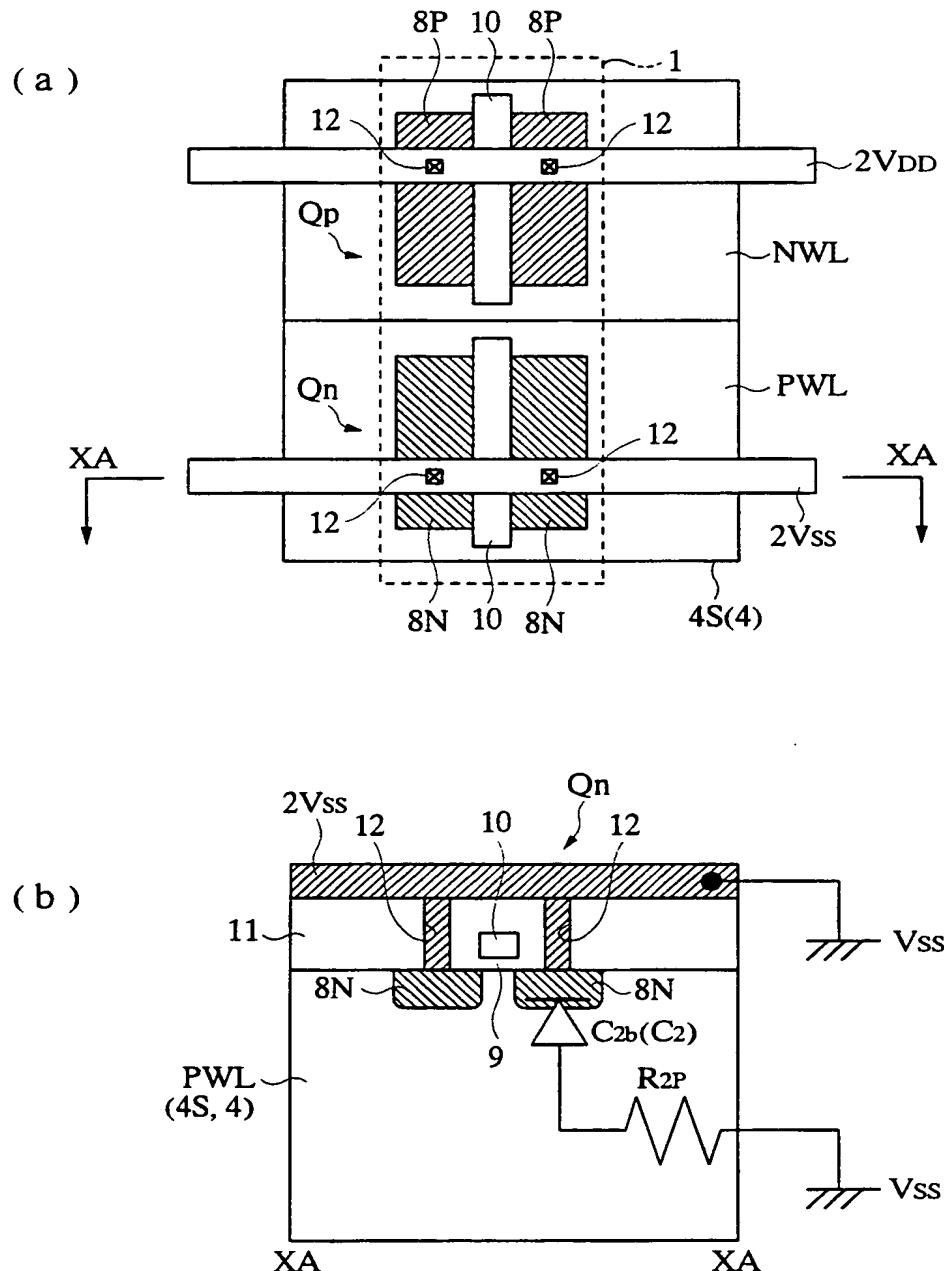


THIS PAGE BLANK (USPTO)



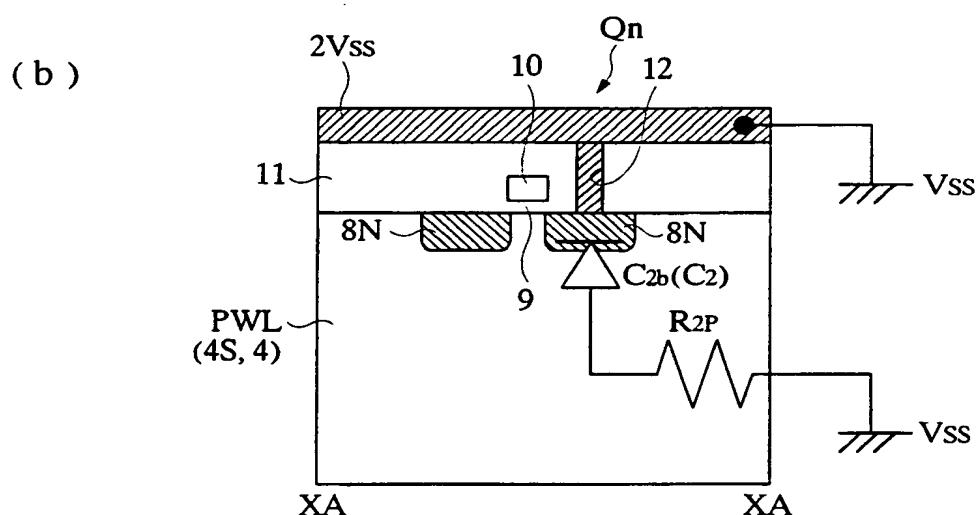
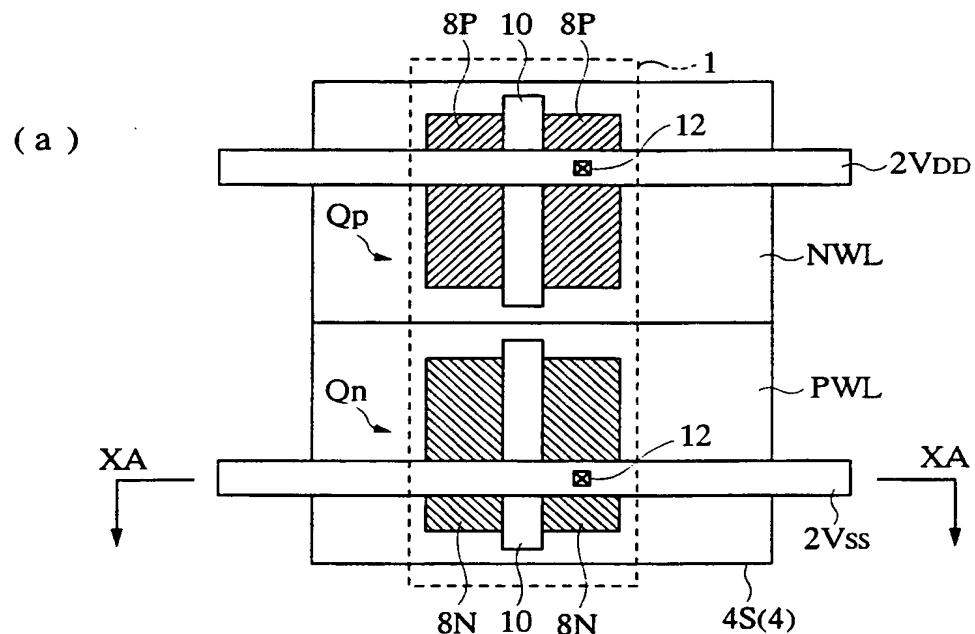
THIS PAGE BLANK (USPTO)

図 13



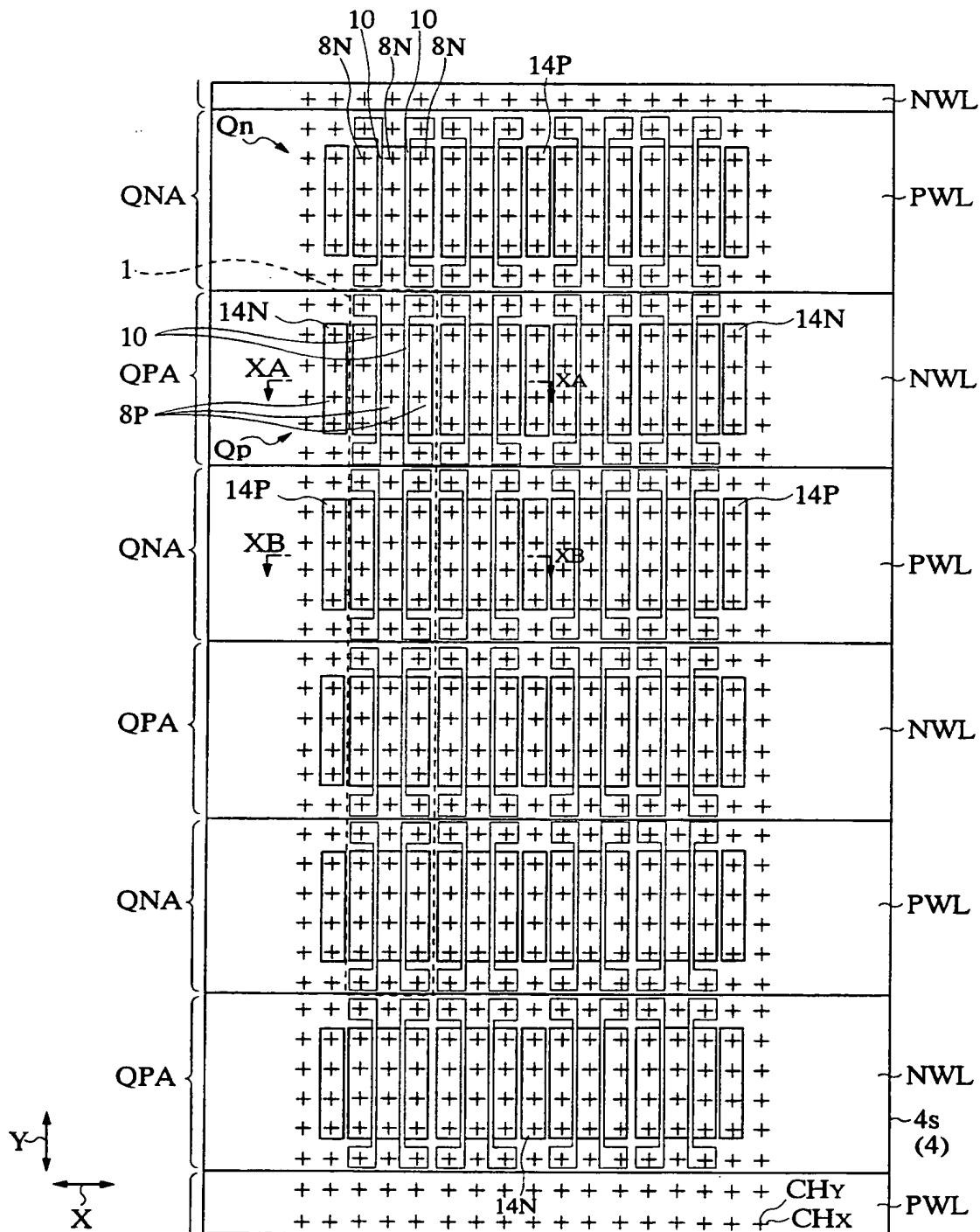
THIS PAGE BLANK (USPS10)

図 14



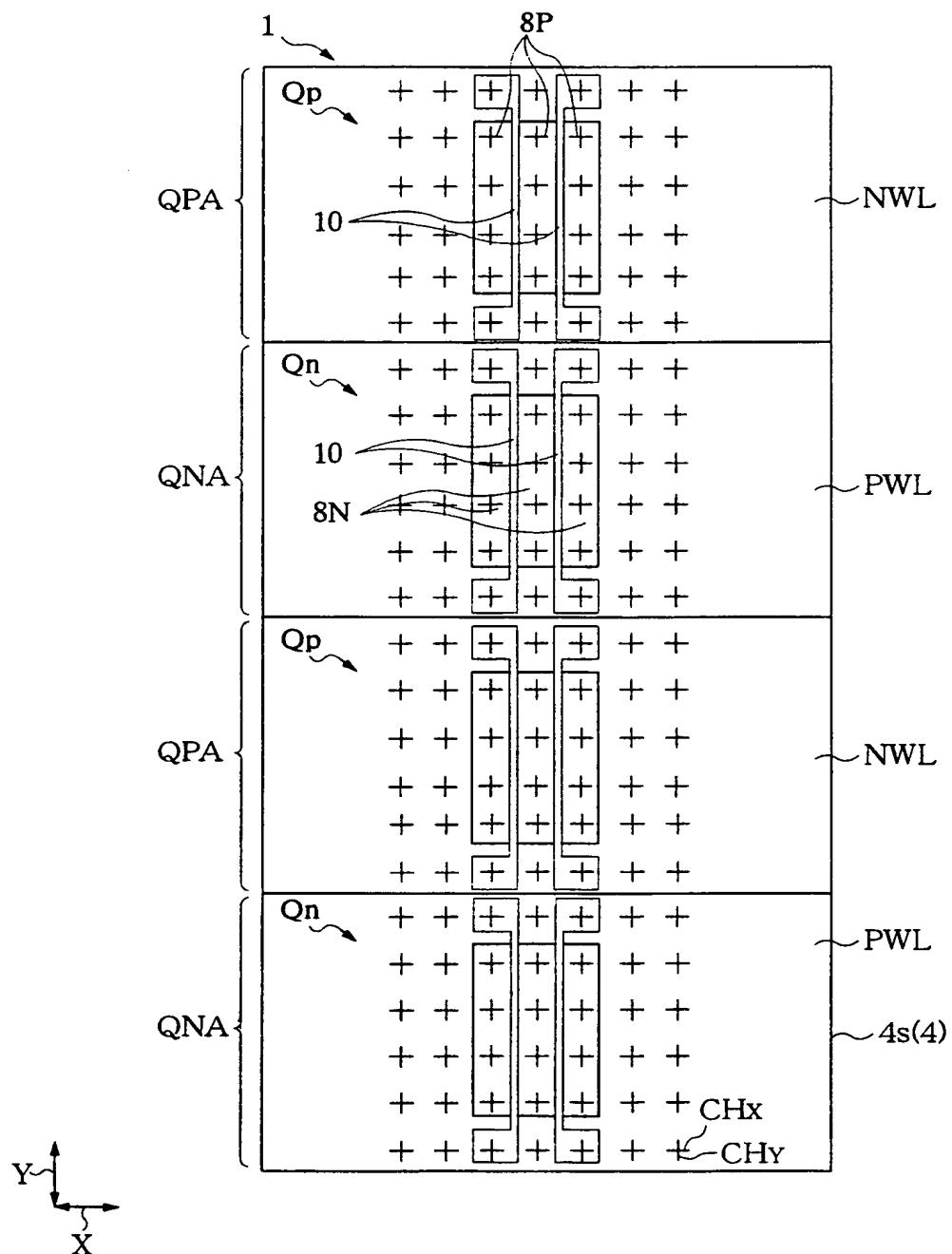
THIS PAGE BLANK (USPTO)

☒ 15



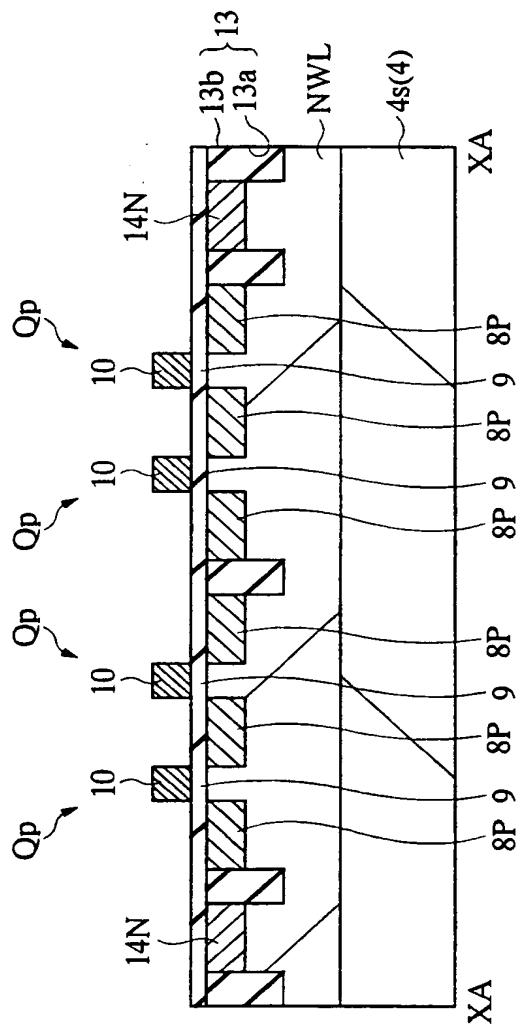
THIS PAGE BLANK (USPS)

☒ 16



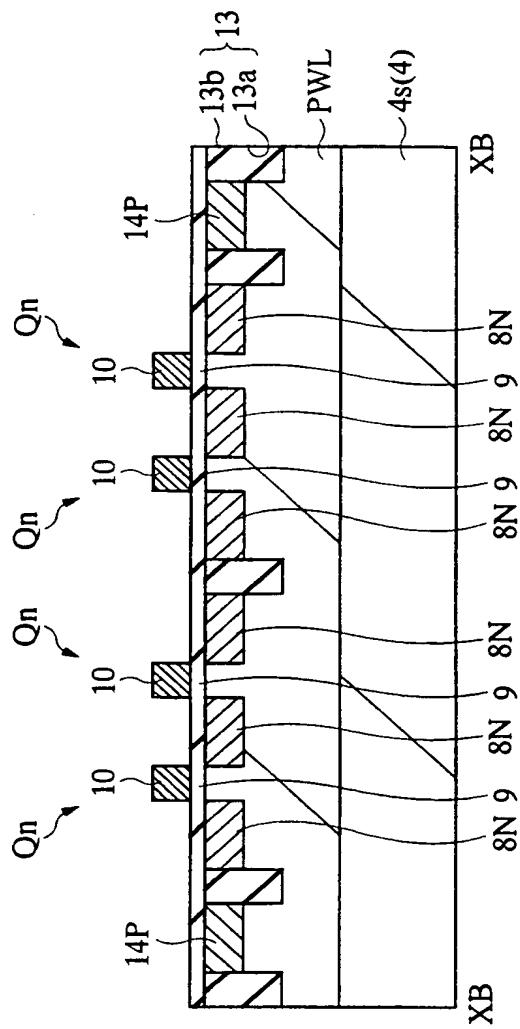
THIS PAGE BLANK (USPTO)

17



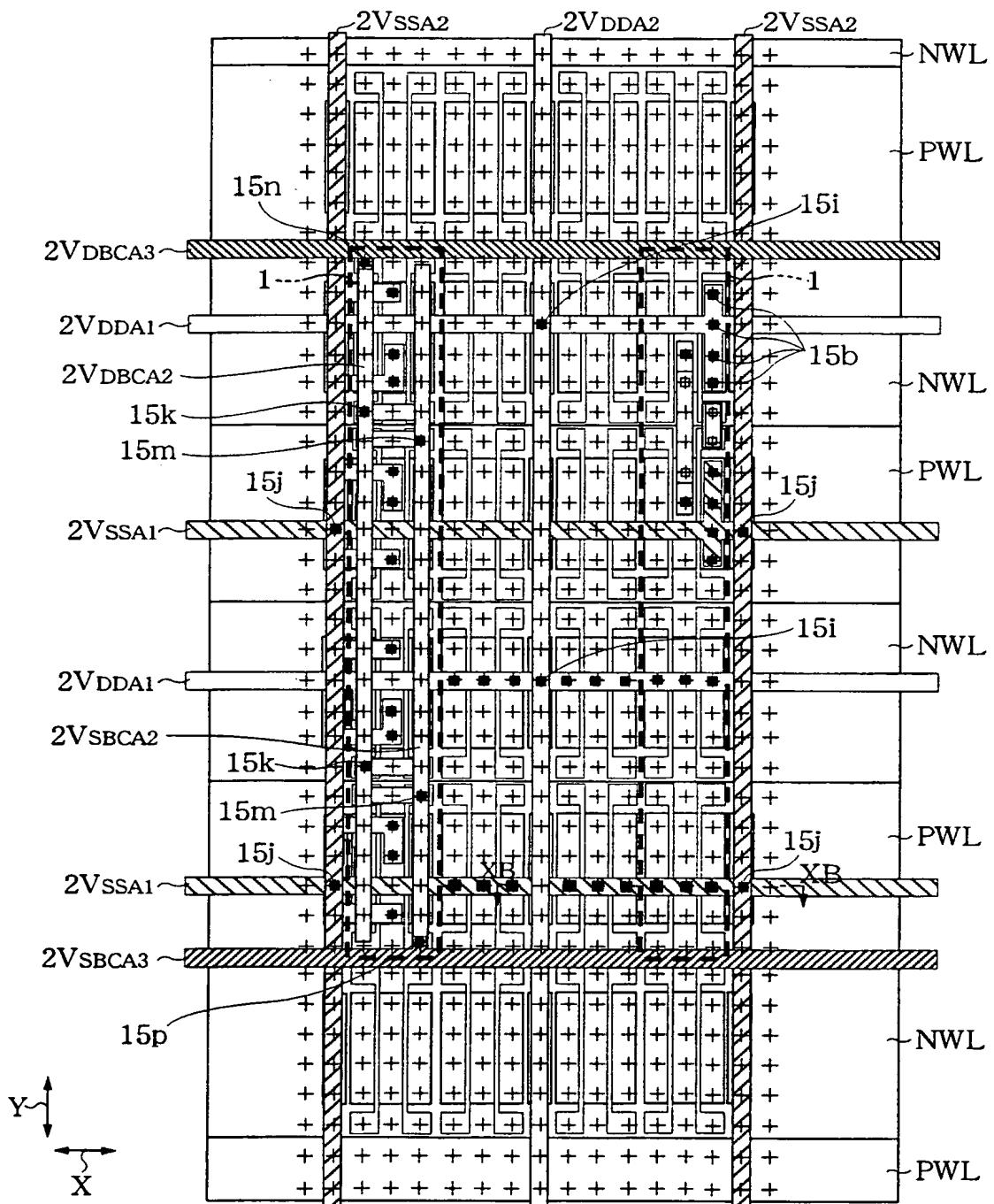
THIS PAGE BLANK (USPTO)

18



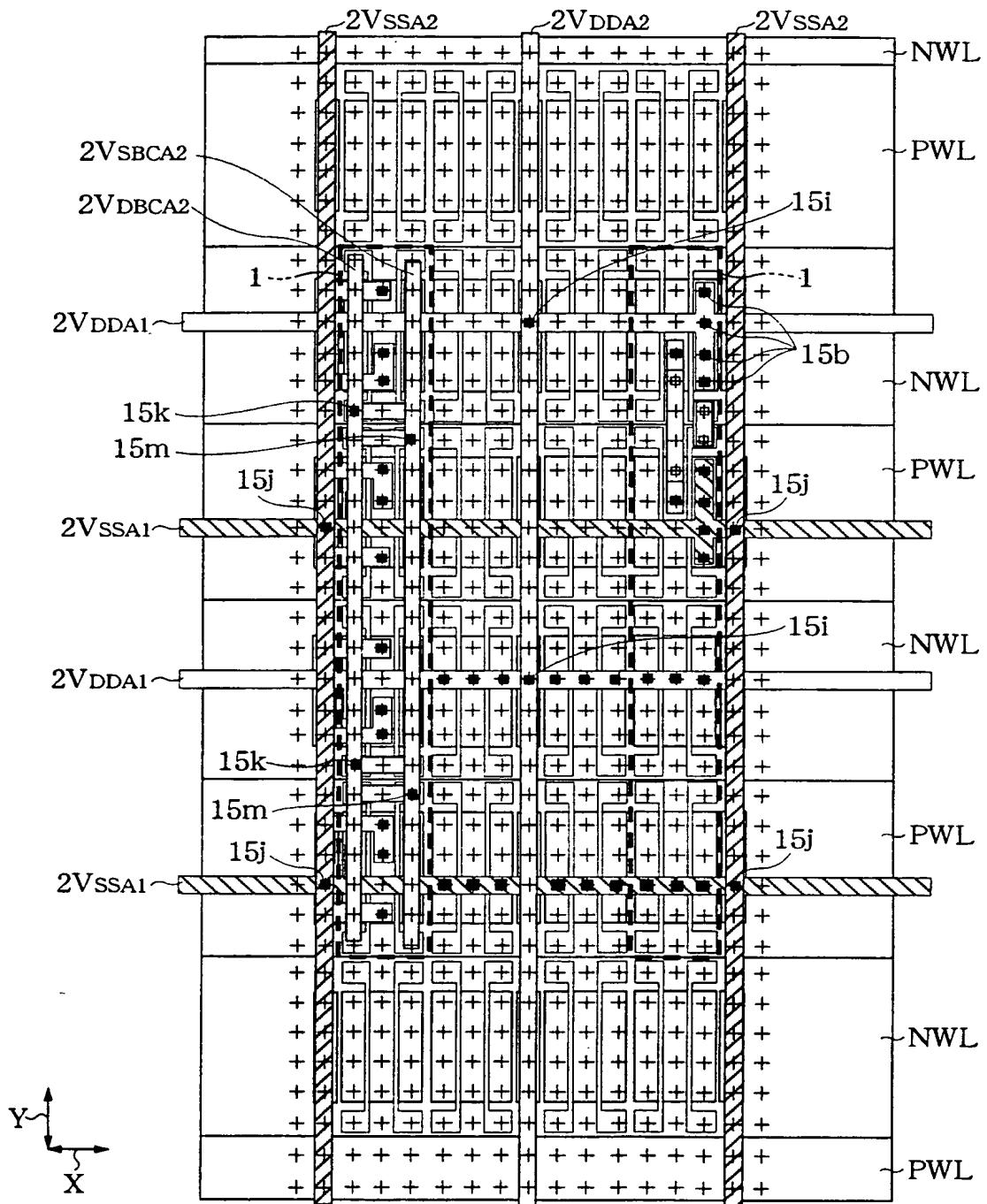
THIS PAGE BLANK (USPTO)

図 19



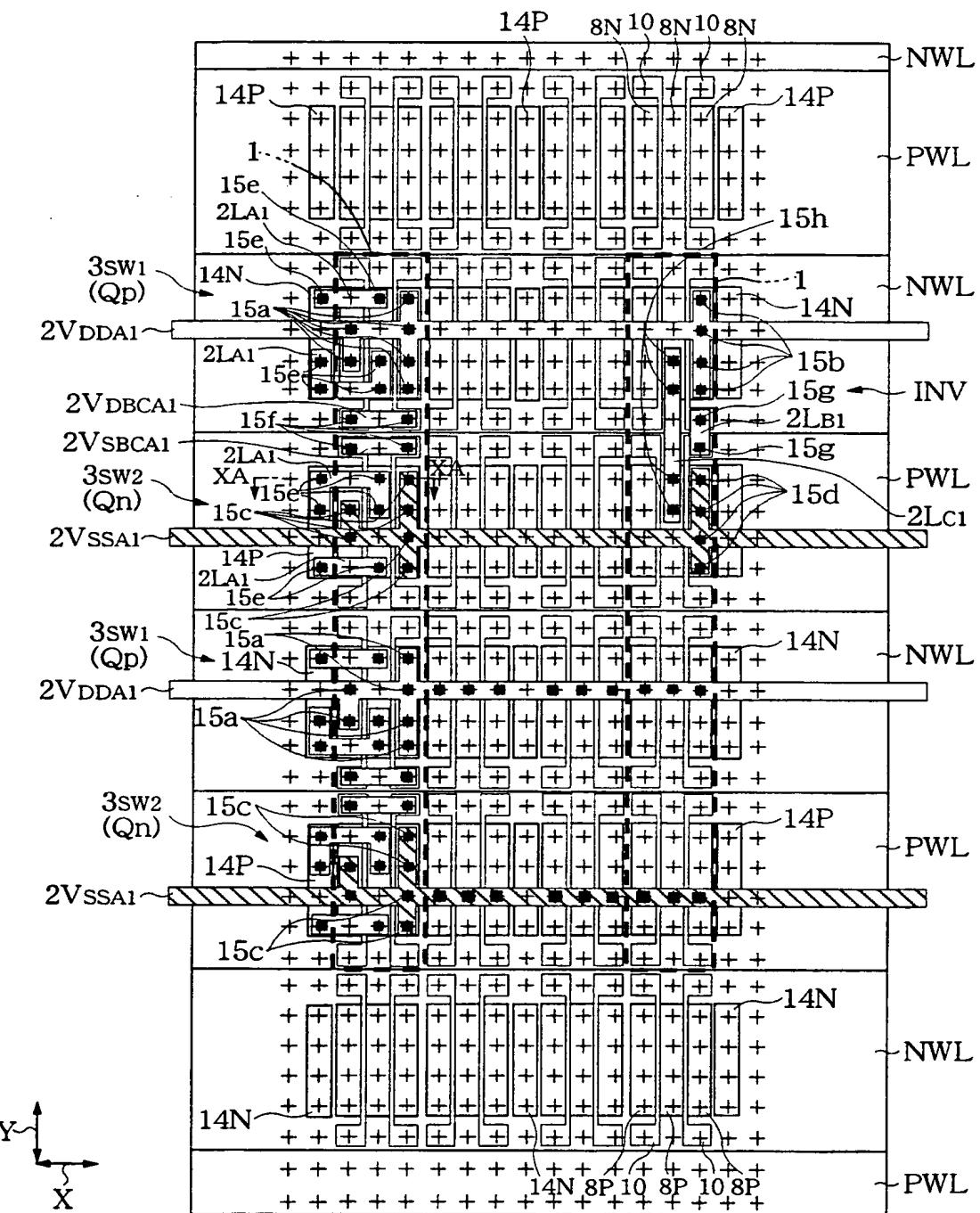
THIS PAGE BLANK (USPTO)

図 20



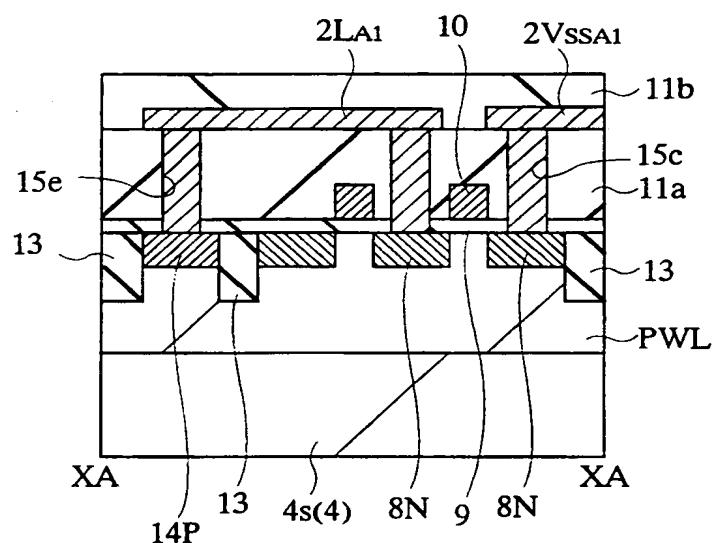
THIS PAGE BLANK (USPTO)

図 21



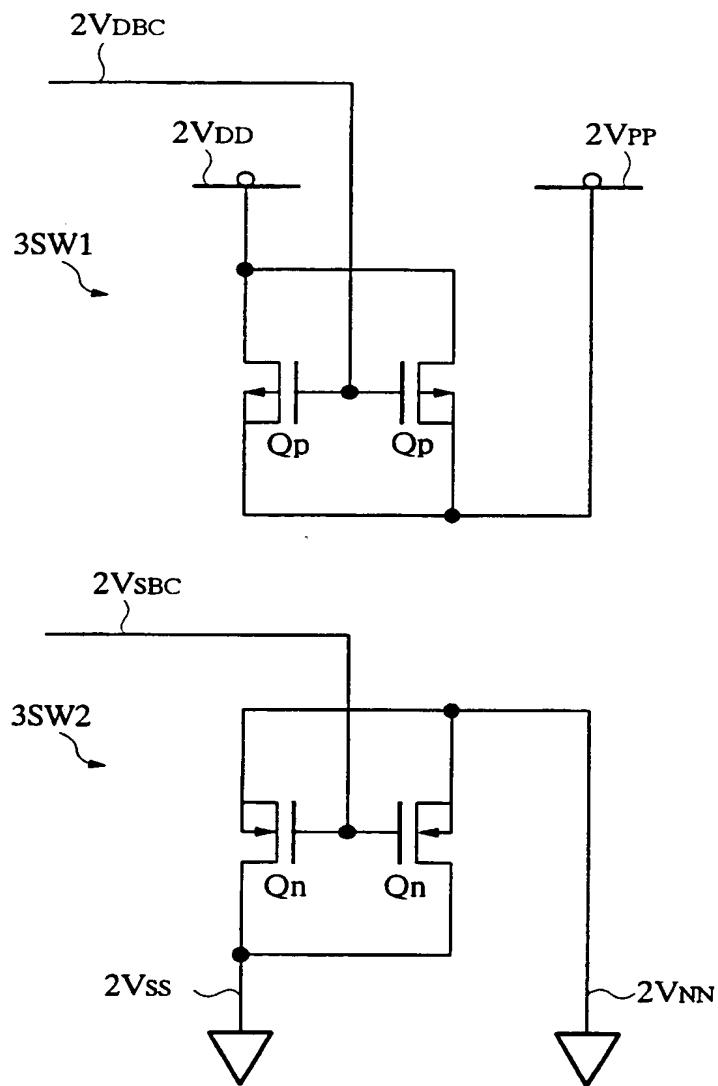
THIS PAGE BLANK (USPTO)

☒ 22



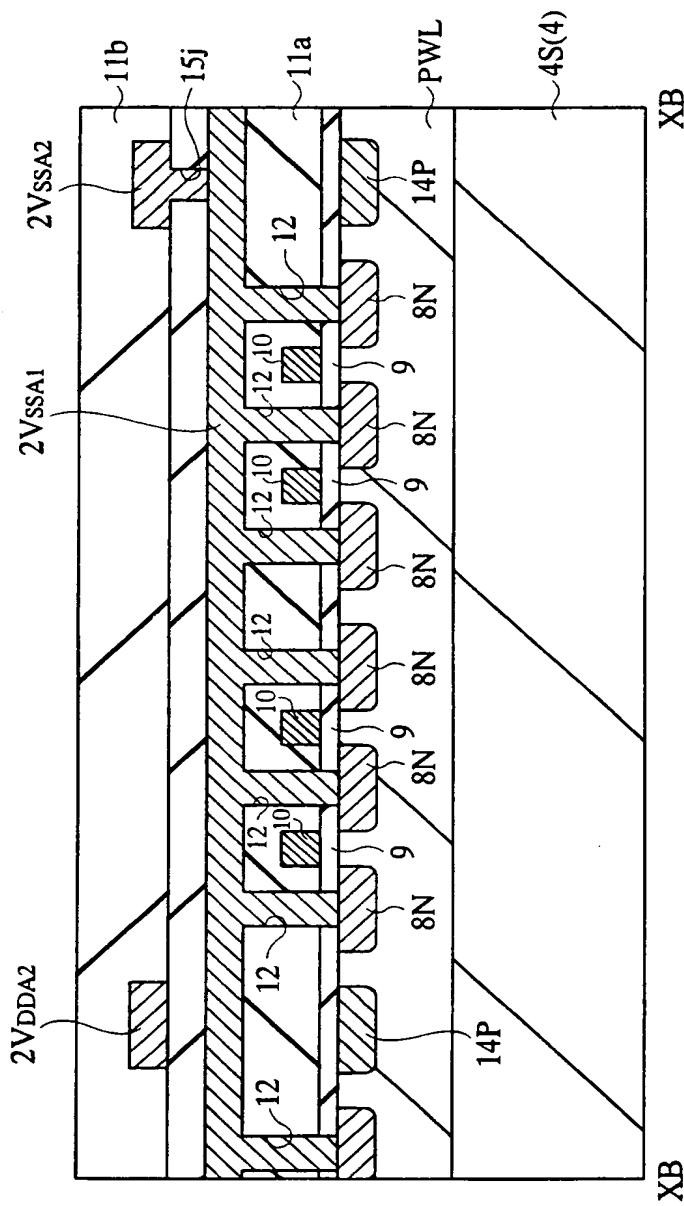
THIS PAGE BLANK (USPTO)

図 23



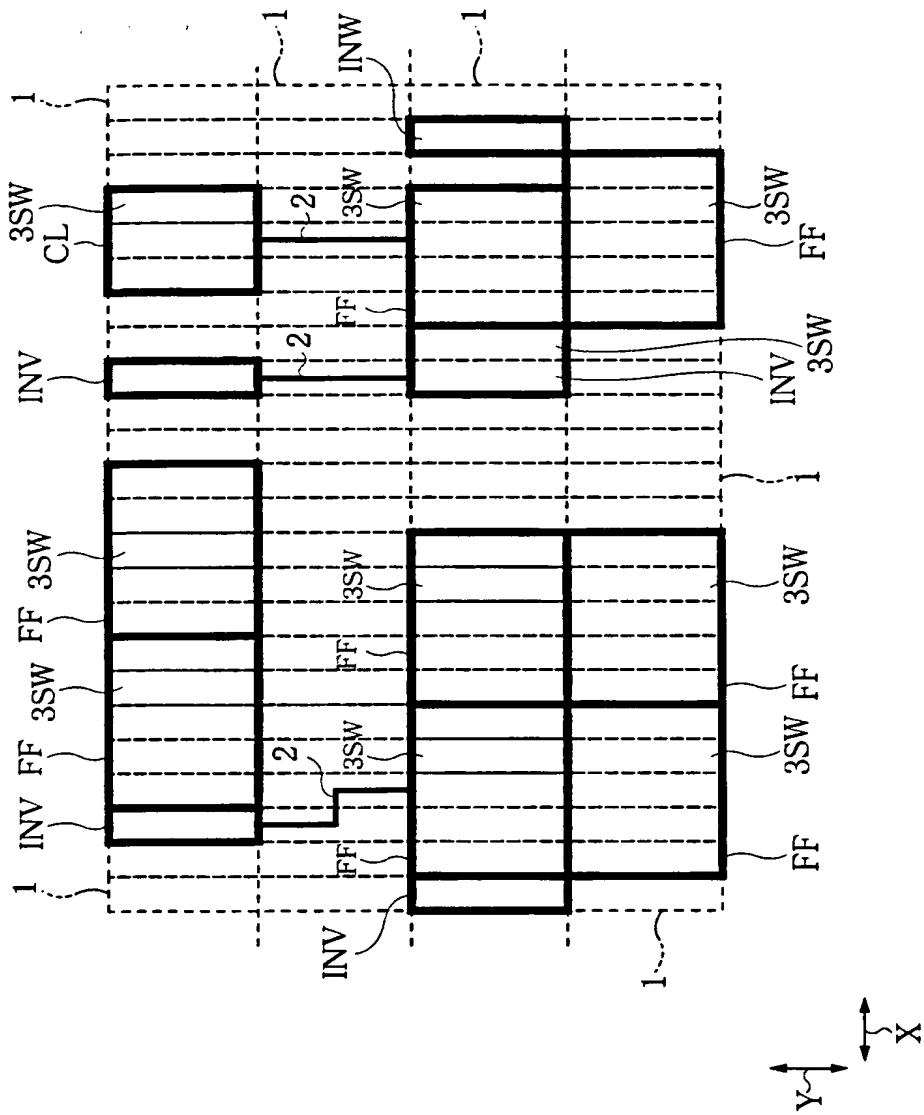
THIS PAGE BLANK (USPTO)

24



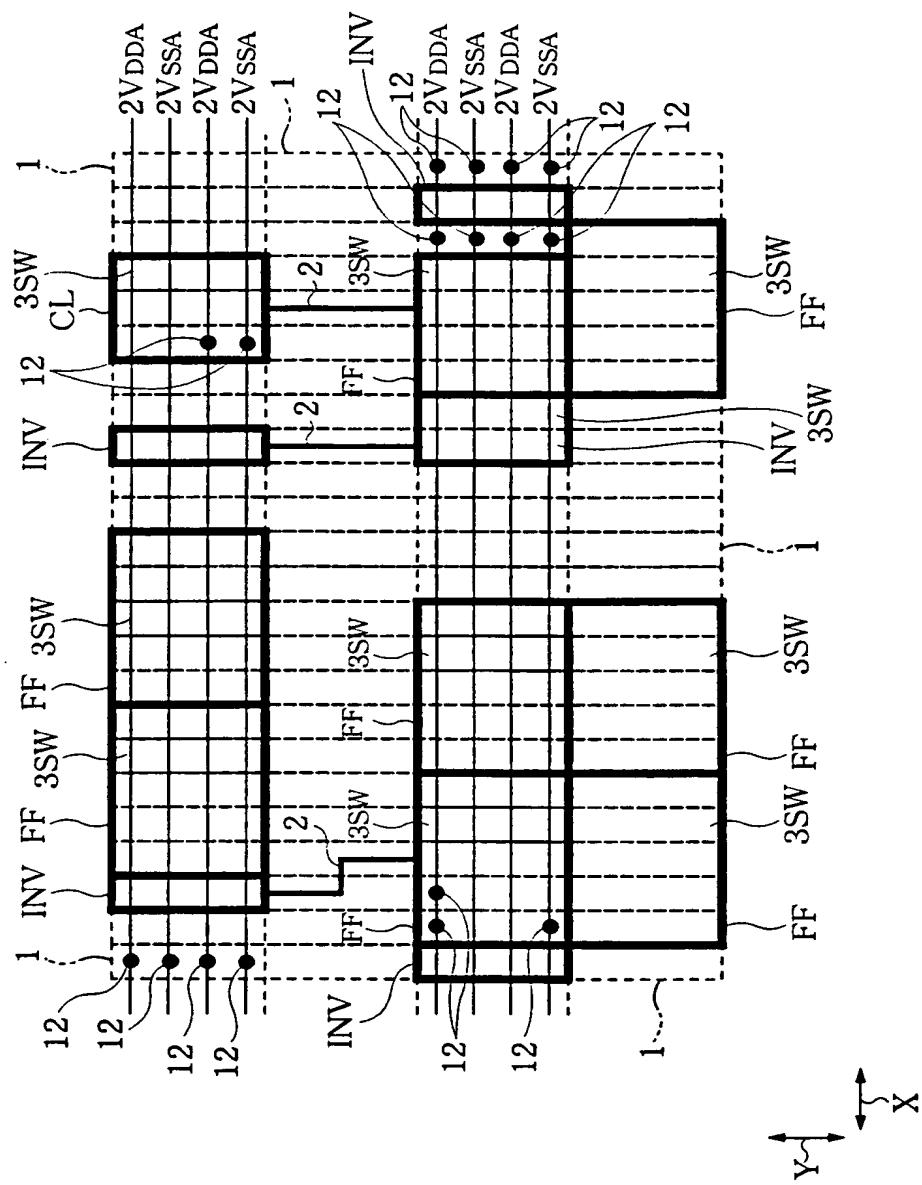
THIS PAGE BLANK (USPTO)

図 25



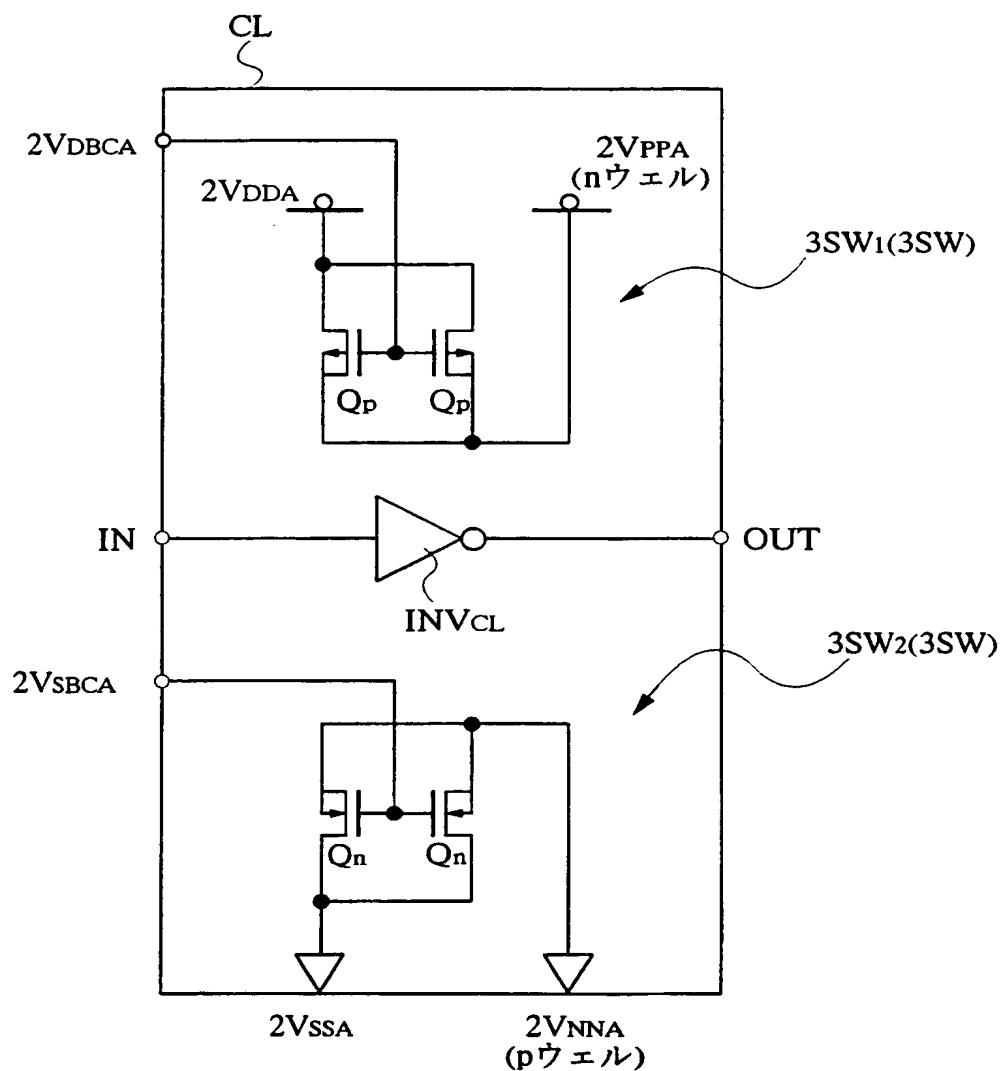
THIS PAGE BLANK (USPTO)

FIG 26



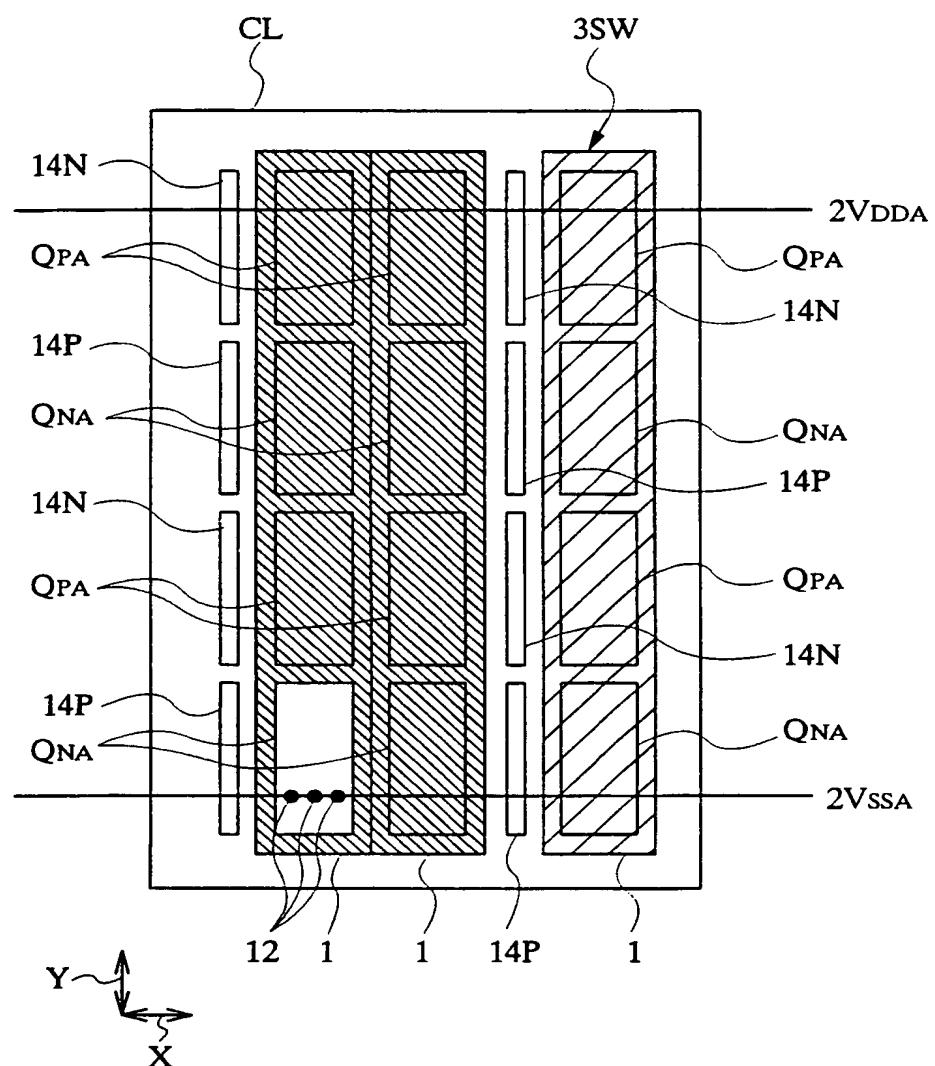
THIS PAGE BLANK (USPTO)

図 27



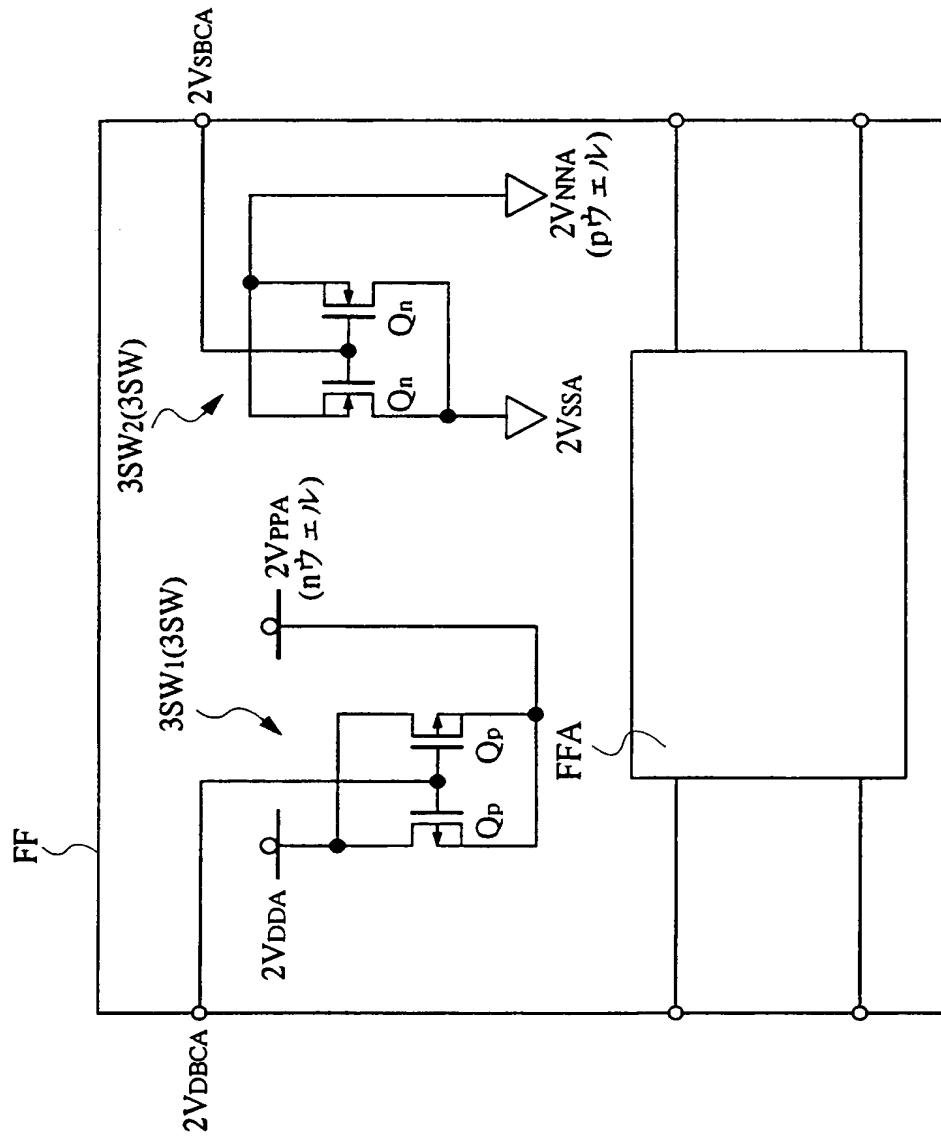
THIS PAGE BLANK (USPTO)

図 28

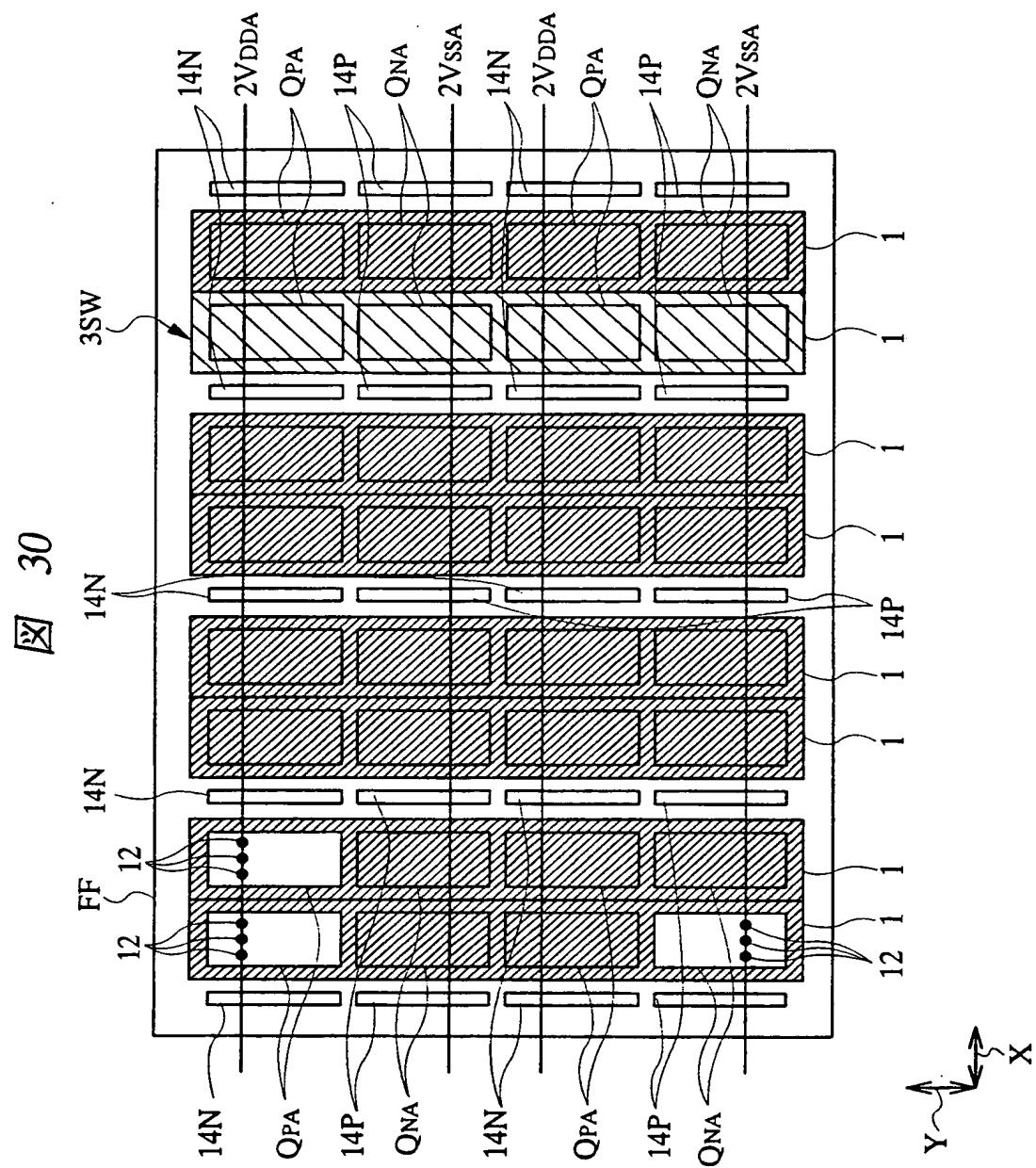


THIS PAGE BLANK (USPTO)

図 29

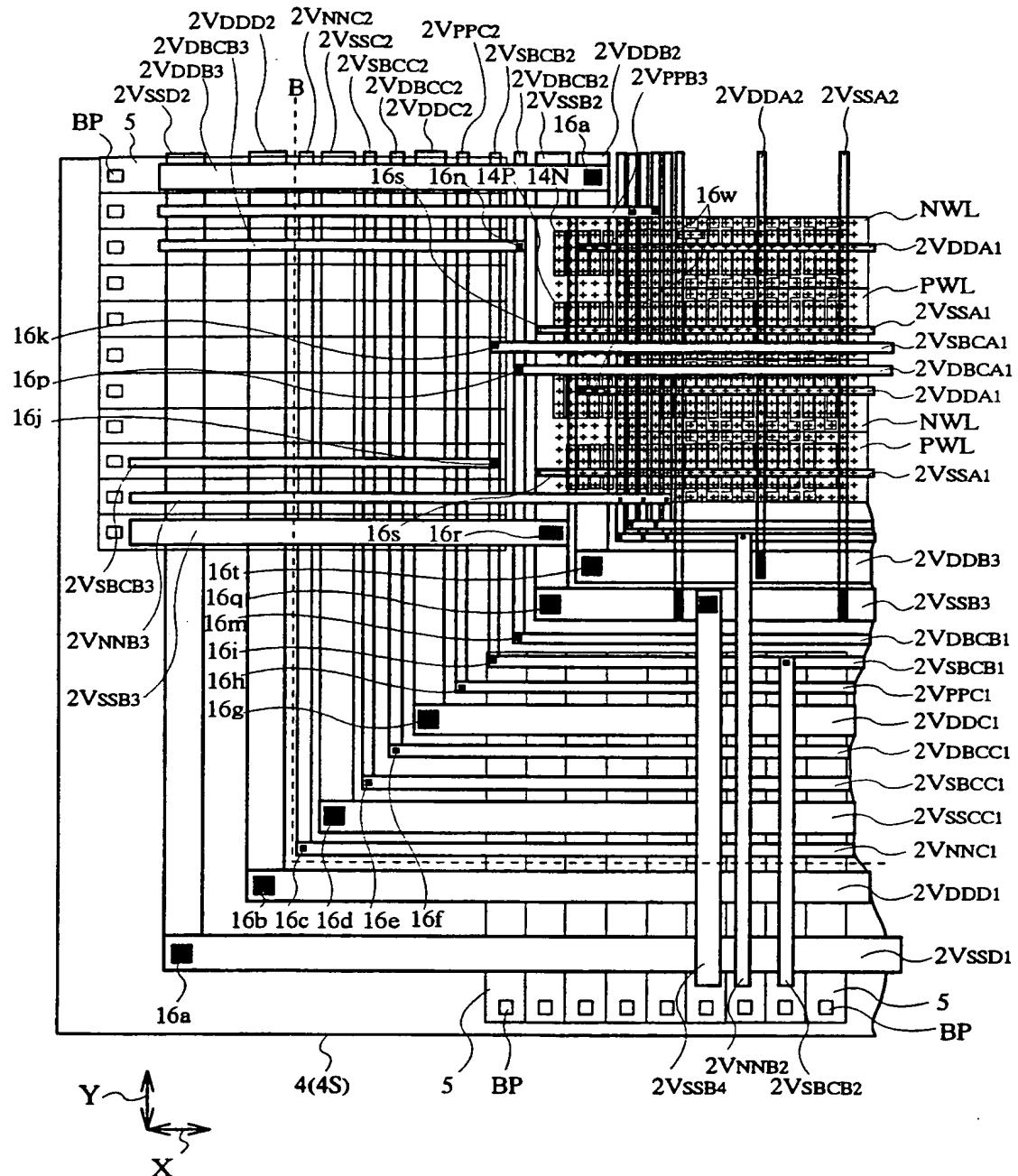


THIS PAGE BLANK (USPTO)



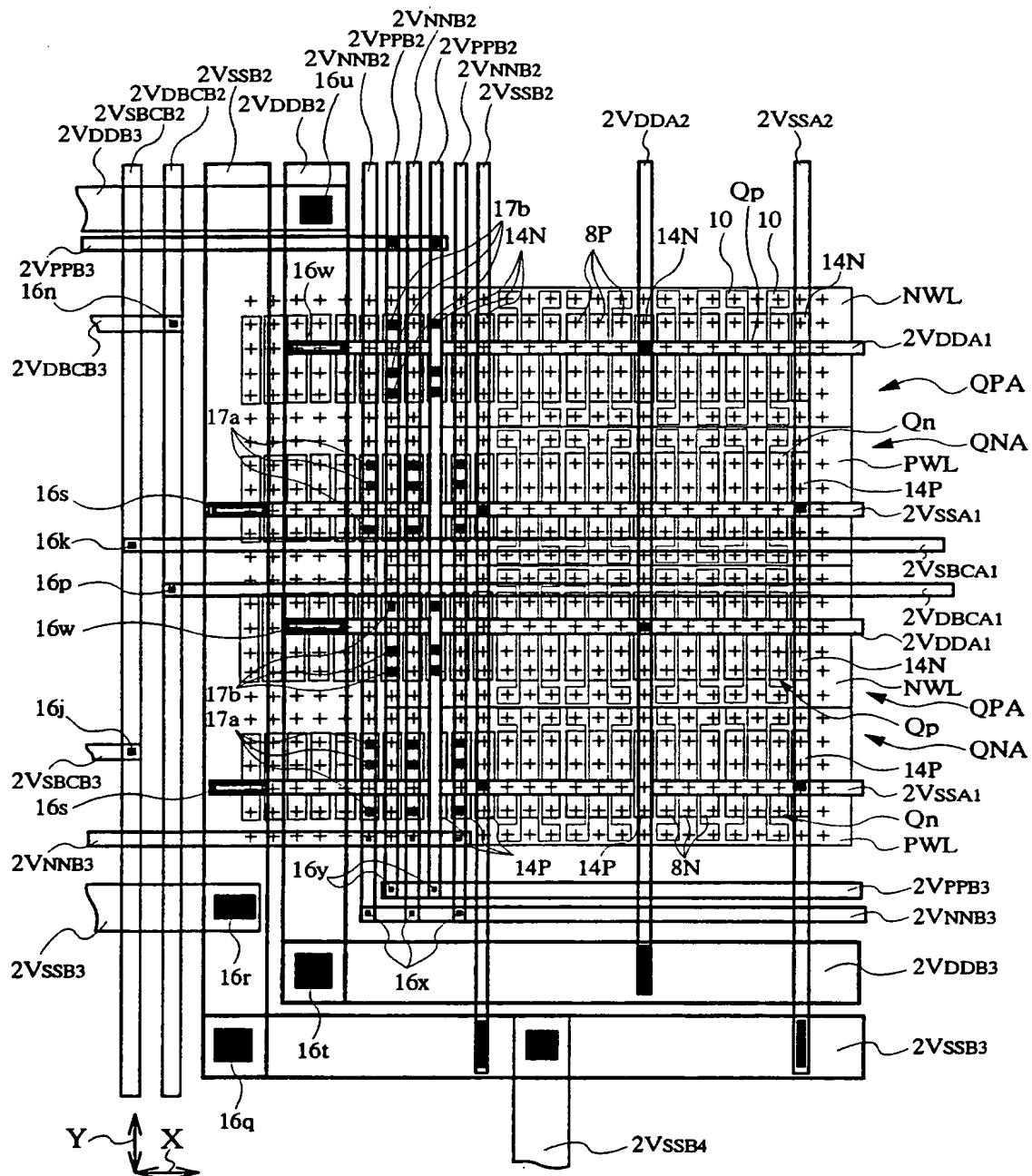
THIS PAGE BLANK (CSP, L)

☒ 31



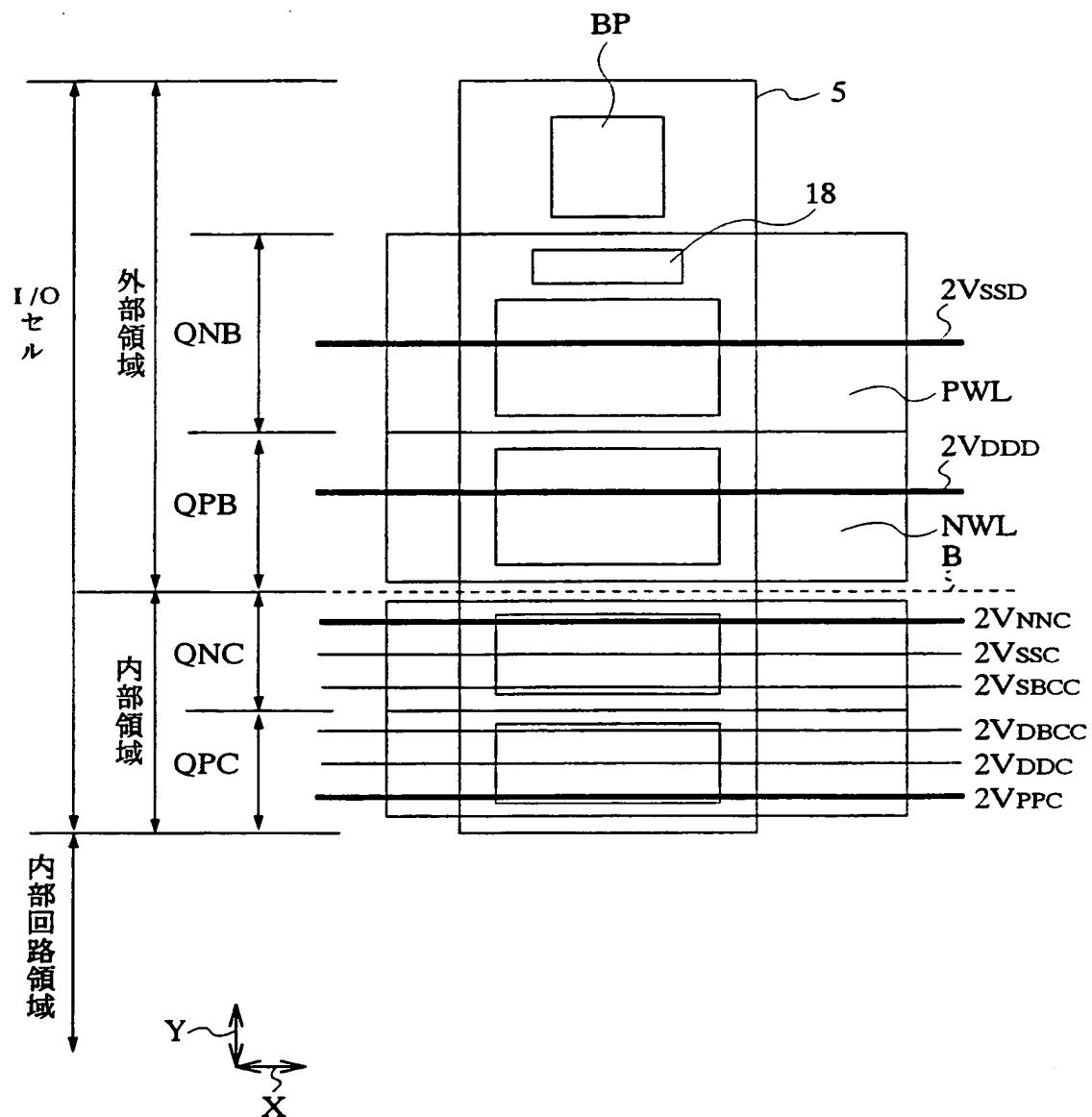
THIS PAGE BLANK (USPTO)

四 32



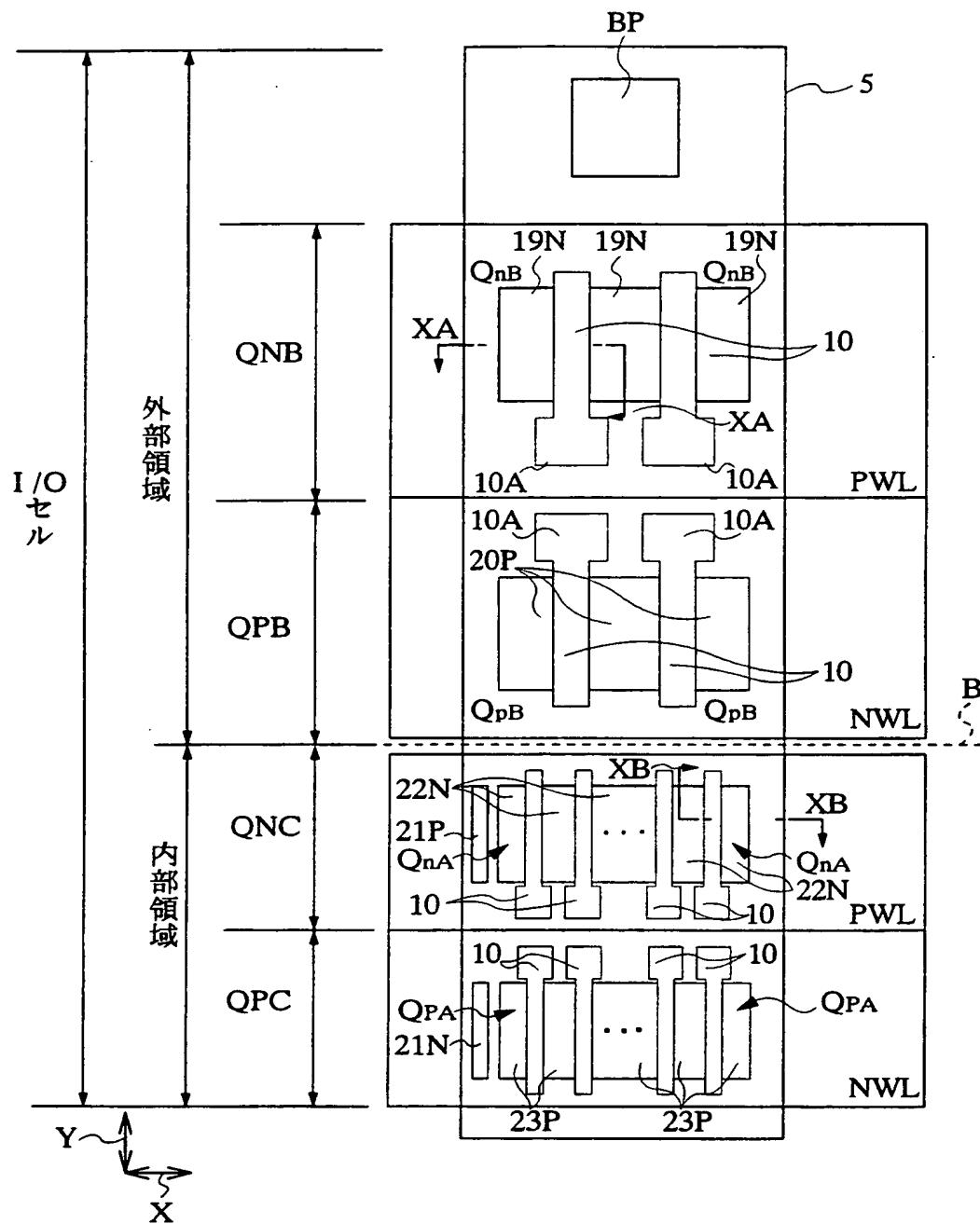
THIS PAGE BLANK (0871c)

図 33



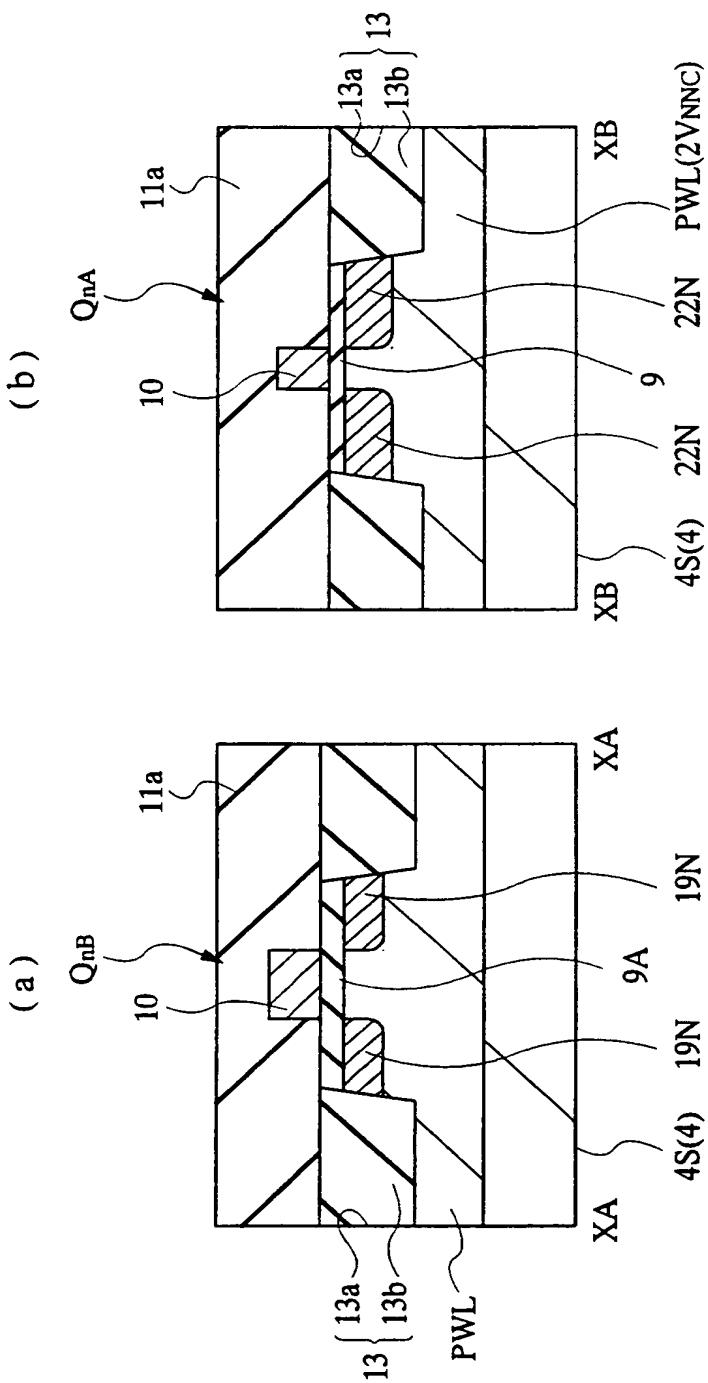
THIS PAGE BLANK (USPTO)

図 34



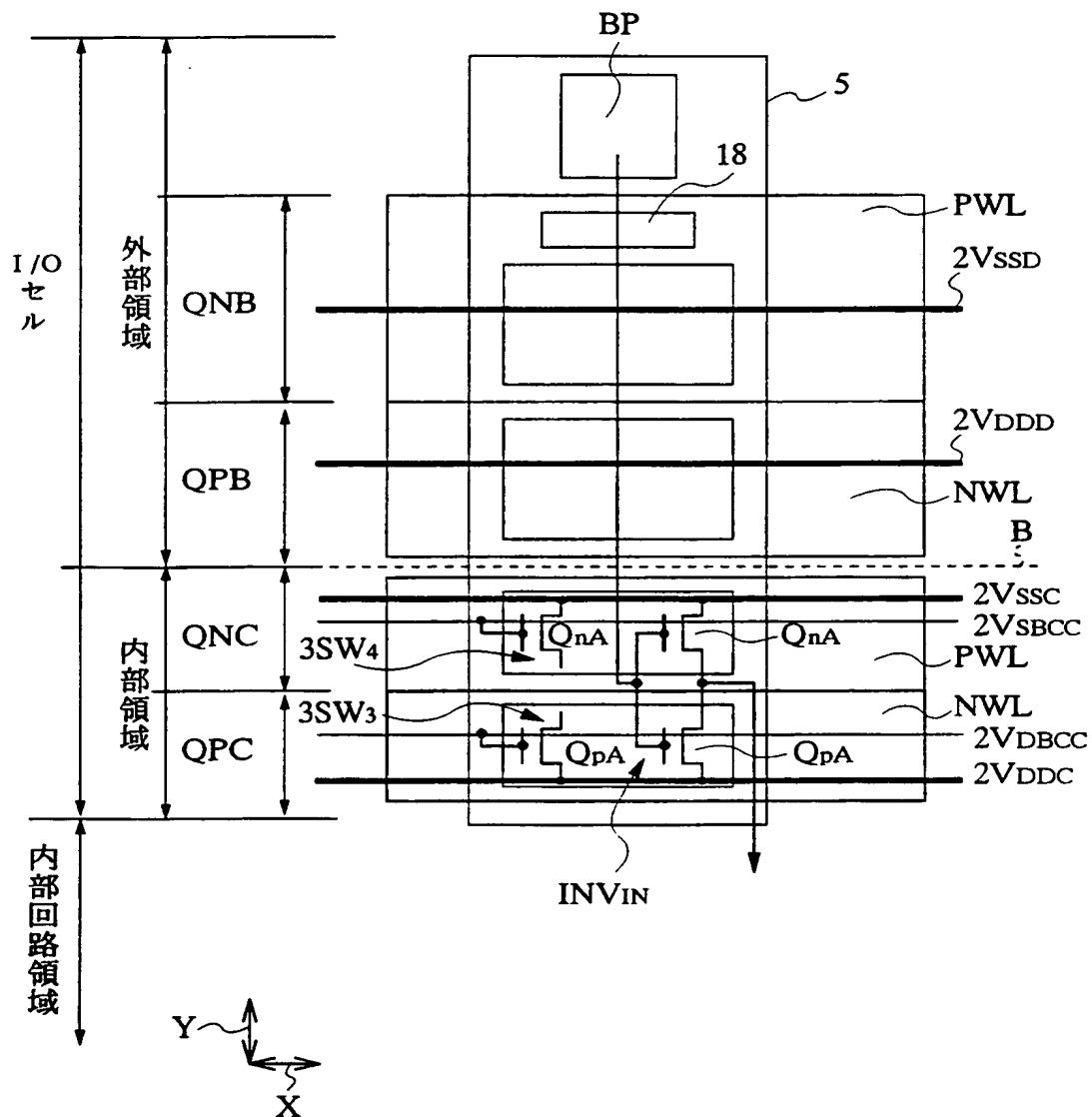
THIS PAGE BLANK (USPTO)

图 35



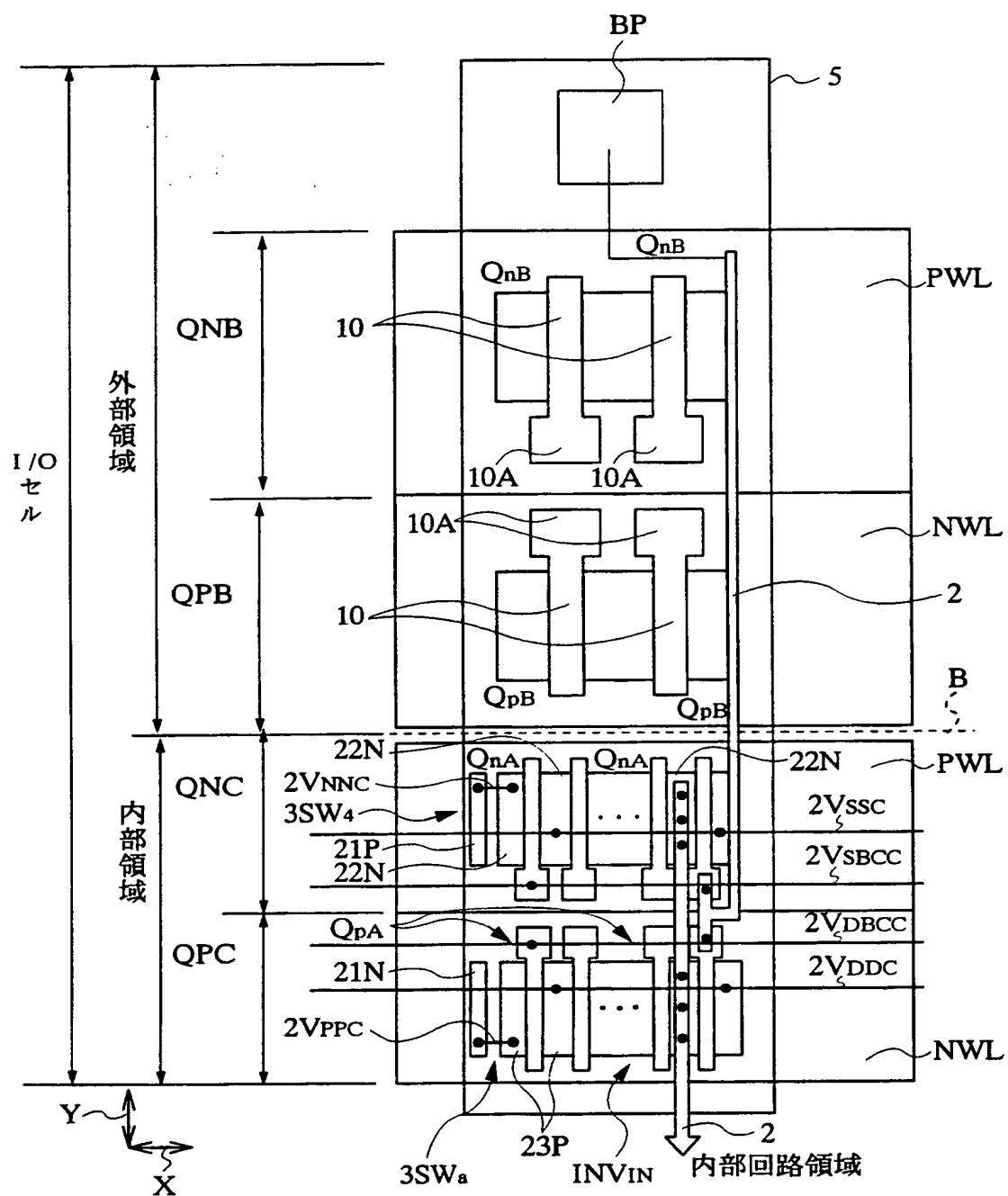
THIS PAGE BLANK (USP10)

図 36



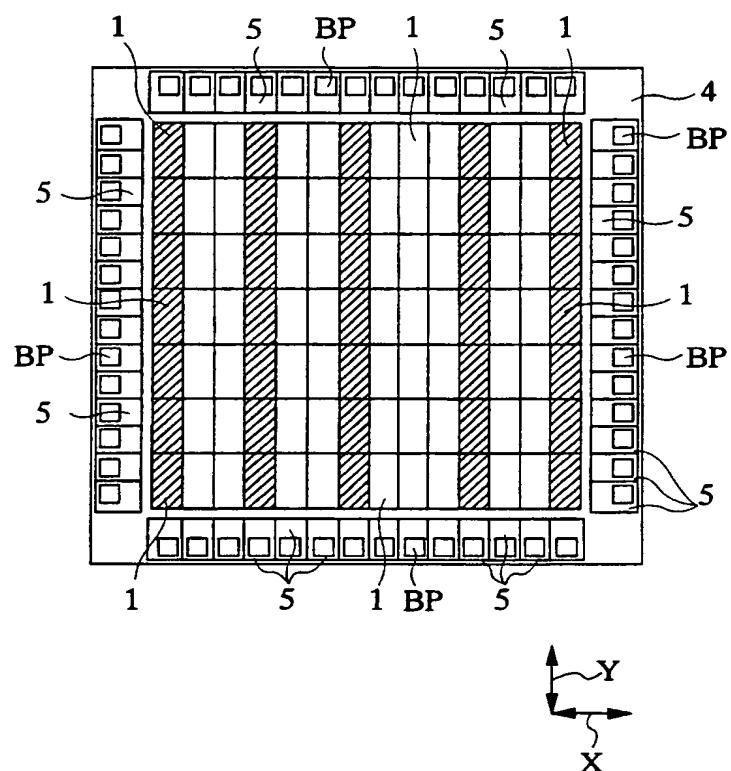
THIS PAGE BLANK (USPTO)

図 37



THIS PAGE BLANK (USPTO)

図 38



THIS PAGE BLANK (USPTO)

PCT

世界知的所有権機関
国際事務局
特許協力条約に基づいて公開された国際出願



(51) 国際特許分類6 H01L 21/82, 21/822, 27/04, 27/08	A1	(11) 国際公開番号 WO00/65650
		(43) 国際公開日 2000年11月2日(02.11.00)
(21) 国際出願番号 PCT/JP99/02140	(81) 指定国 JP, KR, US	
(22) 国際出願日 1999年4月22日(22.04.99)	添付公開書類 国際調査報告書	

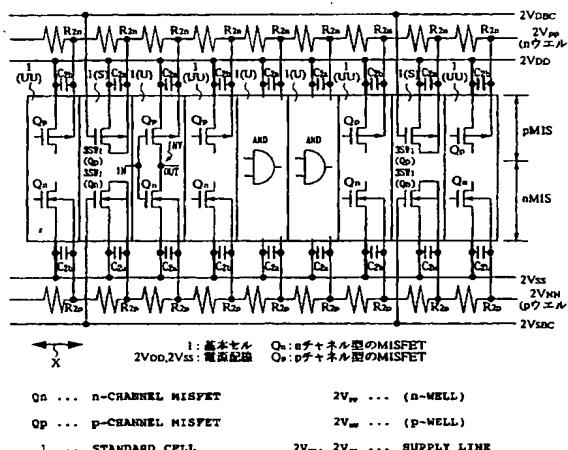
(71) 出願人 (米国を除くすべての指定国について)
株式会社 日立製作所(HITACHI, LTD.)[JP/JP]
〒101-8010 東京都千代田区神田駿河台四丁目6番地
Tokyo, (JP)

(72) 発明者 ; および
(75) 発明者／出願人 (米国についてのみ)
小山明夫(KOYAMA, Akio)[JP/JP]
〒198-8512 東京都青梅市新町六丁目16番地の3
株式会社 日立製作所 デバイス開発センタ内 Tokyo, (JP)

(74) 代理人
弁理士 筒井大和(TSUTSUI, Yamato)
〒160-0023 東京都新宿区西新宿7丁目22番45号
N.S. Excel 301 筒井国際特許事務所 Tokyo, (JP)

(54) Title: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE

(54) 発明の名称 半導体装置およびその製造方法



(57) Abstract

A source/drain region and a power supply conductor (2) (VDD) of an unused p-channel MISFET (Qp) are electrically connected, while a source/drain region and a power supply conductor (2) (VSS) of an n-channel MISFET (Qn) are electrically connected. Switch elements (3SW1) and (3SW2) are composed of a p-channel MISFET (Qp) and an n-channel MISFET (Qn), respectively, in a standard cell (1), and a plurality of such switch elements are distributed in an n-well (NWL) and a p-well (PWL). Since the switch elements are arranged between the power supply conductor and the well, the threshold voltage of the transistors formed in the wells is controlled by the on-off control of the switches, and noises are reduced in the wells.

未使用の p チャネル型の M I S F E T Q p のソース・ドレイン用の半導体領域と電源配線 2 VDD とを電気的に接続し、n チャネル型の M I S F E T Q n のソース・ドレイン用の半導体領域と電源配線 2 VSS とを電気的に接続した。また、スイッチ素子 3 SW1, 3 SW2 を、基本セル 1 内の p チャネル型の M I S F E T Q p および n チャネル型の M I S F E T Q n で構成し、それぞれ各 n ウエル NWL および p ウエル PWL 内において分散的に複数配置した。これにより、電源配線とウエルとの間にスイッチ素子を介在させ、そのオン・オフ制御によってウエルに形成されたトランジスタのしきい値電圧を制御することが可能な機能を有する半導体装置においてウエルで発生するノイズを低減する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

A E	アラブ首長国連邦	D M	ドミニカ	K Z	カザフスタン	R U	ロシア
A G	アンティグア・バーブーダ	D Z	アルジェリア	L C	セントルシア	S D	スードーン
A L	アルバニア	E E	エストニア	L J	リヒテンシュタイン	S E	スウェーデン
A M	アルメニア	E S	スペイン	L K	スリ・ランカ	S G	シンガポール
A T	オーストリア	F I	フィンランド	L R	リベリア	S I	スロヴェニア
A U	オーストラリア	F R	フランス	L S	レソト	S K	スロヴァキア
A Z	アゼルバイジャン	G A	ガボン	L T	リトアニア	S L	シエラ・レオネ
B A	ボスニア・ヘルツェゴビナ	G B	英国	L U	ルクセンブルグ	S N	セネガル
B B	ブルバードス	G D	グレナダ	L V	ラトヴィア	S Z	スワジランド
B E	ベルギー	G E	グルジア	M A	モロッコ	T D	チャード
B F	ブルギナ・ファン	G H	ガーナ	M C	モナコ	T G	トーゴー
B G	ブルガリア	G M	ガンビア	M D	モルドヴァ	T J	タジキスタン
B J	ベナン	G N	ギニア	M G	マダガスカル	T M	トルクメニスタン
B R	ブラジル	G R	ギリシャ	M K	マケドニア旧ユーゴスラヴィア	T R	トルコ
B Y	ベラルーシ	G W	ギニア・ビサオ	共和国		T T	トリニダッド・トバゴ
C A	カナダ	H R	クロアチア	M L	マリ	T Z	タンザニア
C F	中央アフリカ	H U	ハンガリー	M N	モンゴル	U A	ウクライナ
C G	コンゴー	I D	インドネシア	M R	モーリタニア	U G	ウガンダ
C H	スイス	I E	アイルランド	M W	マラウイ	U S	米国
C I	コートジボアール	I L	イスラエル	M X	メキシコ	U Z	ウズベキスタン
C M	カメルーン	I N	インド	M Z	モザンビーク	V N	ヴィエトナム
C N	中国	I S	アイスランド	N E	ニジエール	Y U	ニーヨースラヴィア
C R	コスタ・リカ	I T	イタリア	N L	オランダ	Z A	南アフリカ共和国
C U	キューバ	J P	日本	N O	ノルウェー	Z W	ジンバブエ
C Y	キプロス	K E	ケニア	N Z	ニューカaledonia		
C Z	チエコ	K G	キルギスタン	P L	ポーランド		
D E	ドイツ	K P	北朝鮮	P T	ポルトガル		
D K	デンマーク	K R	韓国	R O	ルーマニア		

明 細 書

半導体装置およびその製造方法

5 技術分野

本発明は、半導体装置およびその製造技術に関し、特に、電源配線とウエルとの間にスイッチ素子を介在させ、そのオン・オフ制御によってウエルに形成されたトランジスタのしきい値電圧を制御することが可能な機能を有する半導体装置およびその設計技術に適用して有効な技術に
10 関するものである。

背景技術

半導体素子の微細化、半導体装置の低消費電力化および半導体装置の動作速度の向上等の要求に伴い、半導体装置におけるトランジスタのしきい値電圧の低下
15 が進められている。しかし、しきい値電圧が低いことに起因して、半導体装置のトランジスタに対してそのソース、ドレイン間にリーク電流が生じるか否かの有無を検査する際に、本当に欠陥なのか否かについての判定が難しいという課題がある。また、半導体装置の動作待機時においてはトランジスタのリーク電流により消費電力が増大するという課題もある。このような課題を解決するために、ト
20 ランジスタが配置された半導体基板（具体的にはウエルと称する半導体領域）に所定の電圧を印加することにより、トランジスタのしきい値電圧を一時的に上げてリーク電流を少なくする技術がある。これにより、例えば試験時においては、しきい値電圧を上げているにもかかわらず対象のトランジスタがオンしていれば、そのトランジスタは欠陥であると容易に判断することができる。また、半導体装
25 置の動作待機時においてはトランジスタのしきい値電圧を上げることでリーク電流を低減させ半導体装置の消費電力を低下させることもできる。このしきい値電圧を可変にする技術については、例えば日経BP社、1996年8月1日発行、日経マイクロデバイス（1996年8月号）P50～P66に記載があり、基板電圧を帰還制御することでしきい値電圧を変化させ、低電力化や高速化を図る技

術について、回路構造や素子レイアウト構造が開示されている。

ところで、本発明者は、基板（またはウエル）電圧を電源電圧にするか、他の電圧にするかを切り換えるスイッチ素子を用いて、しきい値電圧を可変にする技術を検討し、この技術においては、以下の課題があることを見出した。

5 すなわち、この技術においては、基板（ウエル）電圧を電源電圧にするか、他の電圧にするかを切り換えるスイッチ素子が必要であるが、そのスイッチ素子の配置について充分な考慮が必要であり、そのスイッチ素子が多すぎると論理回路の配置面積が小さくなる。したがって、チップサイズの増大を招く。一方、そのスイッチ素子が少なすぎると、ウエルの抵抗の増大に起因してウエルにノイズが
10 生じる。したがって、しきい値電圧が変動し半導体装置の動作が不安定となる。また、そのノイズはCMOS回路を持つ半導体装置においてラッチアップを誘発するという課題がある。

本発明の目的は、トランジスタが形成された半導体領域と電源配線との間にスイッチ素子を介在させ、そのオン・オフ制御によってトランジスタのしきい値電圧を制御することが可能な機能を有する半導体装置において半導体領域で発生するノイズを低減することのできる技術を提供することにある。

また、本発明の目的は、トランジスタが形成された半導体領域と電源配線との間にスイッチ素子を介在させ、そのオン・オフ制御によってトランジスタのしきい値電圧を制御することが可能な機能を有する半導体装置の大型化を招くことなく、半導体領域で発生するノイズを低減することのできる技術を提供することにある。

また、本発明の目的は、トランジスタが形成された半導体領域と電源配線との間にスイッチ素子を介在させ、そのオン・オフ制御によってトランジスタのしきい値電圧を制御することが可能な機能を有する半導体装置の構造を複雑にすることなく、半導体領域で発生するノイズを低減することのできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

1. 本発明は、半導体基板に形成された半導体領域と、
 - 5 前記半導体領域に形成された複数の電界効果トランジスタと、前記複数の電界効果トランジスタに対して電源電圧を供給する電源配線と、前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、前記スイッチ素子を、前記半導体領域内に複数分散させて配置したものである。
2. 本発明は、半導体基板に形成された半導体領域と、
 - 10 前記半導体領域に形成された複数の電界効果トランジスタと、前記複数の電界効果トランジスタに対して電源電圧を供給する電源配線と、前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、前記半導体領域に、それとは反対の導電型の半導体領域を設け、その半導体領域と前記電源配線とを電気的に接続したものである。
3. 本発明は、半導体基板に形成された半導体領域と、
 - 15 前記半導体領域に形成された複数の電界効果トランジスタと、前記複数の電界効果トランジスタに対して電源電圧を供給する電源配線と、前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、前記複数の電界効果トランジスタのうちの未使用の電界効果トランジスタのソース、ドレン用の一対の半導体領域の少なくとも一方と前記電源配線とを電気的に接続したものである。
4. 本発明は、半導体基板に形成された半導体領域と、
 - 20 前記半導体領域に形成された複数の電界効果トランジスタと、前記複数の電界効果トランジスタに対して電源電圧を供給する電源配線と、前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、前記スイッチ素子を前記半導体領域内に複数個分散させて配置し、かつ、前記半導体領域に、それとは反対の導電型の半導体領域を設け、その半導体領域と前記電源配線とを電気的に接続したものである。
5. 本発明は、半導体基板に形成された半導体領域と、

前記半導体領域に形成された複数の電界効果トランジスタと、
前記複数の電界効果トランジスタに対して電源電圧を供給する電源配線と、

前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、

前記スイッチ素子を前記半導体領域内に複数個分散させて配置し、かつ、前記

5 複数の電界効果トランジスタのうちの未使用の電界効果トランジスタのソース、
ドレイン用の一対の半導体領域の少なくとも一方と前記電源配線とを電気的に接
続したものである。

6. 本発明は、半導体基板に形成された半導体領域と、

前記半導体基板に規則的に配置された複数の基本セルと、

10 前記複数の基本セルの各々に配置され、前記半導体領域に形成された電界効果
トランジスタと、

前記電界効果トランジスタに対して電源電圧を供給する電源配線と、

前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、

前記スイッチ素子を、前記基本セル内の電界効果トランジスタで形成し、かつ、

15 前記半導体領域内に複数分散させて配置したものである。

7. 本発明は、半導体基板に形成された半導体領域と、

前記半導体基板に規則的に配置された複数の基本セルと、

前記複数の基本セルの各々に配置され、前記半導体領域に形成された電界効果
トランジスタと、

20 前記電界効果トランジスタに対して電源電圧を供給する電源配線と、

前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、

前記スイッチ素子を、前記基本セルの電界効果トランジスタで形成し、かつ、

前記複数の基本セル内の前記半導体領域内に形成された領域であって前記半導体
領域とは反対導電型の半導体領域と前記電源配線とを電気的に接続したものであ

25 る。

8. 本発明は、半導体基板に形成された半導体領域と、

前記半導体基板に規則的に配置された複数の基本セルと、

前記複数の基本セルの各々に配置され、前記半導体領域に形成された電界効果
トランジスタと、

前記電界効果トランジスタに対して電源電圧を供給する電源配線と、
前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、
前記スイッチ素子を、前記基本セルの電界効果トランジスタで形成し、かつ、
前記電界効果トランジスタのうちの未使用の電界効果トランジスタのソース、ド
5 レイン用の一対の半導体領域の少なくとも一方と前記電源配線とを電気的に接続
したものである。

9. 本発明は、半導体基板に形成された半導体領域と、

前記半導体基板に規則的に配置された複数の基本セルと、
前記複数の基本セルの各々に配置され、前記半導体領域に形成された電界効果
10 トランジスタと、

前記電界効果トランジスタに対して電源電圧を供給する電源配線と、
前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、
前記スイッチ素子を、前記基本セルの電界効果トランジスタで形成し、かつ、
前記半導体領域内に複数個分散させて配置し、

15 前記複数の基本セル内の前記半導体領域に形成された領域であって前記半導体
領域とは反対導電型の半導体領域と前記電源配線とを電気的に接続したものであ
る。

10. 本発明は、半導体基板に形成された半導体領域と、

前記半導体基板に規則的に配置された複数の基本セルと、
前記複数の基本セルの各々に配置され、前記半導体領域に形成された電界効果
20 トランジスタと、

前記電界効果トランジスタに対して電源電圧を供給する電源配線と、
前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、
前記スイッチ素子を、前記基本セルの電界効果トランジスタで形成し、かつ、

25 前記半導体領域内に複数個分散させて配置し、
前記電界効果トランジスタのうちの未使用の電界効果トランジスタのソース、
ドレイン用の一対の半導体領域の少なくとも一方と前記電源配線とを電気的に接
続したものである。

11. 本発明は、半導体基板に形成された半導体領域と、

前記半導体基板に規則的に配置された複数の基本セルと、

前記複数の基本セルの各々に配置され、前記半導体領域に形成された電界効果トランジスタと、

前記複数の基本セルで形成された回路と、

5 前記電界効果トランジスタに対して電源電圧を供給する電源配線と、

前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、

前記回路のうちの所定の回路内に前記スイッチ素子を内蔵させたものである。

1 2. 本発明は、半導体基板の周辺回路領域に形成された半導体領域と、

前記半導体基板の周辺回路領域に規則的に配置された複数の入出力回路用セル

10 と、

前記複数の入出力回路用セルの各々に配置され、前記半導体領域に形成された入出力回路用の複数の電界効果トランジスタと、

前記入出力回路用の複数の電界効果トランジスタに対して電源電圧を供給する電源配線と、

15 前記周辺回路領域における半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、

前記周辺回路領域は、外部領域と内部領域とを有し、前記外部領域には相対的にしきい値電圧の高い前記入出力回路用の電界効果トランジスタが配置され、前記内部領域には相対的にしきい値電圧の低い前記入出力回路用の電界効果トランジスタが配置され、

前記内部領域内の入出力回路用の電界効果トランジスタのうちの入出力回路として使用されない電界効果トランジスタによって前記スイッチ素子を形成したものである。

1 3. 本発明は、半導体基板の周辺回路領域に形成された半導体領域と、

25 前記半導体基板の周辺回路領域に規則的に配置された複数の入出力回路用セルと、

前記複数の入出力回路用セルの各々に配置され、前記半導体領域に形成された入出力回路用の複数の電界効果トランジスタと、

前記入出力回路用の複数の電界効果トランジスタに対して電源電圧を供給する

電源配線と、

前記周辺回路領域における半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、

前記周辺回路領域は、外部領域と内部領域とを有し、前記外部領域には相対的

5 にしきい値電圧の高い前記入出力回路用の電界効果トランジスタが配置され、前記内部領域には相対的にしきい値電圧の低い前記入出力回路用の電界効果トランジスタが配置され、

前記内部領域内の入出力回路用の電界効果トランジスタのうちの未使用の電界効果トランジスタによって前記スイッチ素子を形成し、かつ、前記入出力として

10 使用されない電界効果トランジスタのソース、ドレイン用の一対の半導体領域の少なくとも一方と、前記電源配線とを電気的に接続して容量素子を形成したものである。

1 4. 本発明は、 (a) 半導体基板に複数の基本セルを規則的に配置する工程と、

(b) 前記複数の基本セルのうちの所定の基本セルの電界効果トランジスタによって、前記半導体基板に形成された半導体領域と半導体装置の電源配線とを電気的に接続したり切り離したりするスイッチ素子を形成する工程と、

(c) 前記複数の基本セルのうちの所定の基本セルによって複数の回路を形成する工程とを有するものである。

1 5. 本発明は、 (a) 半導体基板に複数の基本セルを規則的に配置する工程と、

20 (b) 前記複数の基本セルのうちの所定の基本セルの電界効果トランジスタによって、前記半導体基板に形成された半導体領域と半導体装置の電源配線とを電気的に接続したり切り離したりするスイッチ素子を形成する工程と、 (c) 前記複数の基本セルのうちの所定の基本セルによって複数の回路を形成する工程と、

(d) 前記複数の基本セルのうちの未使用の電界効果トランジスタのソース、ド

25 レイン用の一対の半導体領域のうちの少なくとも一方と、前記電源配線とを電気的に接続する接続孔を配置する工程とを有するものである。

1 6. 本発明は、 (a) 半導体基板に複数の基本セルを規則的に配置する工程と、

(b) 前記複数の基本セルのうちの所定の基本セルの電界効果トランジスタによって、前記半導体基板に形成された半導体領域と半導体装置の電源配線とを電気

的に接続したり切り離したりするスイッチ素子を形成する工程と、(c) 前記複数の基本セルのうちの所定の基本セルによって複数の回路を形成する工程とを有し、前記(c)工程において、前記複数の回路のうちの所定の回路内には前記スイッチ素子が内蔵されているものである。

5 17. 本発明は、(a) 半導体基板に複数の基本セルを規則的に配置する工程と、(b) 前記複数の基本セルのうちの所定の基本セルによって複数の回路を形成する工程とを有し、前記複数の回路のうちの所定の回路内には前記スイッチ素子が内蔵されているものである。

10 図面の簡単な説明

図1は本発明者が検討した技術の説明図である。

図2の(a)は図1の技術の一部を抜き出して示した回路図、(b)は(a)の接続部における電圧波形を示した波形図である。

15 図3の(a)は図1の技術の一部を抜き出して示した回路図、(b)は(a)の等価回路である。

図4は本発明の技術思想であって回路の一部を模式的に示した説明図である。

図5は本発明者が検討した技術における回路を模式的に示した説明図である。

図6の(a)および(b)は本発明の一実施の形態である半導体装置の平面図である。

20 図7は図6の半導体装置における配線系およびスイッチ素子の配置を模式的に示した説明図である。

図8は図7の変形例を模式的に示した説明図である。

図9は図6の半導体装置の試験時の説明図である。

図10は図6の半導体装置の試験時におけるスイッチ素子の説明図である。

25 図11は図6の半導体装置の動作時におけるスイッチ素子の説明図である。

図12は図6の半導体装置の変形例を模式的に示した説明図である。

図13の(a)および(b)は本発明の技術思想の1つであるウエル電位安定化のための手段を模式的に示した説明図である。

図14の(a)および(b)は図13の変形例を模式的に示す説明図である。

図15は図6の半導体装置の素子レイアウトを示す半導体基板の要部平面図である。

図16は図15の素子レイアウトのうちの基本セルを抜き出して示した半導体基板の要部平面図である。

5 図17は図15のXA-XA線の断面図である。

図18は図15のXB-XB線の断面図である。

図19は図15の半導体基板上に配線を配置した場合の一例を示す半導体基板の要部平面図である。

10 図20は図19の半導体装置において半導体基板上に第1層目および第2層目の配線のみを配置した場合を示した半導体基板の要部平面図である。

図21は図19の半導体装置において半導体基板上に第1層目の配線のみを配置した場合を示した半導体基板の要部平面図である。

図22は図21のXA-XA線の断面図である。

図23は図19に示したスイッチ素子の回路図である。

15 図24は図19のXB-XB線の断面図である。

図25は図6の半導体基板に配置された論理回路を模式的に示した説明図である。

図26は図25の半導体基板上に配線および本発明の技術思想を模式的に示した説明図である。

20 図27は図25および図26に示されたクロック回路の回路図である。

図28は図27のクロック回路の素子レイアウトを模式的に示した説明図である。

図29は図25および図26に示したフリップフロップ回路の回路図である。

図30は図29の半導体装置の素子レイアウトを模式的に示す説明図である。

25 図31は図6の半導体装置の外周近傍における配線系および回路系の配置を示した要部平面図である。

図32は図31の要部拡大平面図である。

図33は図6の半導体装置の入出力回路セルを模式的に示した説明図である。

図34は図33の入出力回路セルの素子レイアウト例を示した半導体基板の要

部平面図である。

図35は図34のXA-XA線およびXB-XB線の断面図である。

図36は図33の入出力回路セル内に入力回路およびスイッチ素子を形成した状態を模式的に示した説明図である。

5 図37は図36の入力回路およびスイッチ素子のレイアウトを模式的に示した説明図である。

図38は本発明の一実施の形態である半導体装置の平面図である。

発明を実施するための最良の形態

10 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、本実施の形態においては、pチャネル型のMISFET (Metal Insulator Semiconductor Field Effect Transistor) をpMISと略し、nチャネル型のMISFETをnMISと略す。

15 まず、本実施の形態を説明する前に、本発明の技術思想を説明する。図1は本発明者が本発明をするのに検討したCMIS (Complementary MIS) ゲートアレイの一例の構造を模式的に示した図である。セル列には複数個の基本セル50が図1の横方向に沿って規則的に並んで配置されている。なお、図1において複数の基本セル50のうちの使用されていない基本セル50には「未使用」と記載している。使用されている基本セル50には、説明を簡単にするため、論理回路として、例えばインバータ回路INVが形成されている場合が示されている。このインバータ回路INVは、pMIS51QpとnMIS51Qnとで構成されるCMISインバータ回路となっている。なお、インバータ回路は基本的な論理回路を代表して示したもので、これに限定されるものではなく種々変更可能であり、
20 例えばAND回路、NAND回路、OR回路、NOR回路またはExclusive-OR回路等のような基本的な論理回路等が形成されている場合でも適用される。また、ここでは説明を簡単にするために基本的な論理回路を示しており、
25 例えばフリップフロップ回路やクロック回路等のような比較的大型の（高機能化および大規模化された）論理回路が形成されている場合でも適用される。また、

符号 IN は論理回路の入力、 OUT は論理回路の出力を示している。

電源配線 5 2 VDD は、相対的に高電位の電源電圧を供給するための配線である。

また、電源配線 5 2 VSS は、相対的に低電位の電源電圧を供給するための配線で

ある。上記インバータ回路 INV で代表される論理回路は、この電源配線 5 2 V

5 DD、5 2 VSS の間に電気的に接続されている。例えばインバータ回路 INV の p

MIS 5 1 Qp のドレインが電源配線 5 2 VDD に電気的に接続され、インバータ

回路 INV の nMIS 5 1 Qn のソースが電源配線 5 2 VSS に電気的に接続され

ている。

ウエル電位制御用の配線 5 3 VPP は、基本セル 5 0 の pMIS 5 1 Qp が配置

10 された n ウエルに相当する。これにより、 pMIS 5 1 Qp のしきい値電圧を所

定値に設定することが可能となっている。符号の 5 4 R は、その n ウエルの拡散

抵抗を示している。また、ウエル電位制御用の配線 5 3 VNN は、基本セル 5 0 の

nMIS 5 1 Qn が配置された p ウエルに相当する。これにより、 nMIS 5 1

Qn のしきい値電圧を所定値に設定することが可能となっている。符号の 5 5 R

15 は、その p ウエルの拡散抵抗を示している。

上記電源配線 5 2 VDD と配線 5 3 VPP との間にスイッチ素子 5 6 SW1 が介在

され、上記電源配線 5 2 VSS と配線 5 3 VNN との間にスイッチ素子 5 6 SW2 が

介在されている。図 1 では、スイッチ素子 5 6 SW1, 5 6 SW2 をスイッチの電気記

号で模式的に示しているが、実際は、これもトランジスタによって構成されてい

20 る。すなわち、スイッチ素子 5 6 SW1 は、 pMIS で構成され、スイッチ素子 5

6 SW2 は、 nMIS で構成されている。このスイッチ素子 5 6 SW1, SW2 は、電

源配線 5 2 VDD、5 2 VSS と配線 5 3 VPP、5 3 VNN とを電気的に接続したり、

切り離したりする素子である。すなわち、このスイッチ素子 5 6 SW1, 5 6 SW2 が

オ n している状態においては、配線 5 3 VPP は、電源配線 5 2 VDD の電位に設定

25 され、上記 p ウエルや n ウエルにバイアス電圧は印加されない。一方、スイッチ

素子 5 6 SW1, 5 6 SW2 がオフしている状態においては、電源配線 5 2 VDD, 5 2

VSS と配線 5 3 VPP、5 3 VNN とは切り離され、電源配線 5 2 VDD, 5 2 VSS

の電位とは異なる電位の電圧を外部から配線 5 3 VPP、5 3 VNN (n ウエルおよ

び p ウエル) に印加することによって上記 p ウエルや n ウエルにバイアスを発生

させるのである。

ところで、上記 p ウエルや n ウエル（以下、単にウエルともいう）は、高抵抗の拡散層により構成されるため、給電のポイント数が少ないと電位が不安定になることが想定される。

5 ここで、ウエルの電位の安定性を確保することを考慮すると、スイッチ素子 5 6 SW1, 5 6 SW2 が半導体装置の通常動作時にオンしているものと仮定して、上記ウエルの電位の安定性のために必要なスイッチ素子 5 6 SW1, 5 6 SW2 の数（あるいは密度）はウエル給電のための接続孔分だけ必要になる。しかしながらスイッチ素子 5 6 SW1, 5 6 SW2 はトランジスタとしての面積を所有していることから、

10 スイッチ素子 5 6 SW1, 5 6 SW2 を上記接続孔と同じ割合で配置すれば多大な面積を消費することになり現実的ではない。また、スイッチ素子 5 6 SW1, 5 6 SW2 の数を減らし、かつ、ウエルの抵抗を低減にする方法として、ウエル給電用の配線を用意することも考えられるが、この解決策も配線チャネルの消費が増加することになり、面積効率の低下を招くことになる。

15 そこで、まず、ウエルに発生するスイッチングノイズのメカニズムを解析し、上記問題を回避する方法を考えるための準備を行うことにする。図 2 (a) は、p ウエルの近辺のインバータ回路 IN V を構成する nMIS51Qn を取り出して示してある。また、p ウエルのノード N50 において、このインバータ回路 IN V 直下の点をモニタしたときのノイズ波形をスイッチング動作と同期させてグラフで示したのが図 2 (b) である。まず、入力 IN の信号の波形が立ち上がるタイミングに同期してノイズ Ngb が発生する。これはゲート電極と半導体基板との間に存在するゲート容量成分 Cgb を介して発生したもので、プラス方向のノイズである。続いて、出力 OUT の信号の波形と同期してマイナス方向に大きなノイズ Na が発生する。この時の電位変化量を nA とした。逆に入力 IN の信号が立ち下がる方向では、やはり出力 OUT の信号に同期してノイズ Nb が発生する。この時の電位変化量を nB とした。また、この時はノイズ Ngb に相当するノイズ成分は現れてこない。これは、nMIS51Qn がオンしチャネルが形成されると、ゲート容量成分 Cgb は消えてしまうからである。電荷保存則により $Na = N_b$ であるから、ノイズの絶対値として大きいのはノイズ Nb である。したがって、

ノイズNbのタイプのノイズに限って解析を行う。これには、nMIS51Qnに存在する寄生ダイオード容量が関与している。そこで、ノイズ源となっているインバータ回路INVを今一度書き直すと図3(a)、(b)のようになる。ここでは、pMIS51Qpのオン抵抗をR1、ダイオード容量をC1, C2とした。

5 また、ウエルの実効的な抵抗をR2とした。C3は、外部負荷容量である。この解析に当たって、本発明者が検討した技術においては、抵抗R2が充分に小さいと考え、ダイオード容量C2は0(零)としていたが、抵抗R2が顕著になればダイオード容量C2を無視することはできなくなる。図3(b)はこれらを全て抵抗および容量で置き換えた解析モデルである。uをウエルノイズに相当する電位とし、これを未知の関数として回路方程式を立てると二階線型微分方程式が得られ、その解は、

$$u(t) = (e^{-\alpha t} - e^{-\beta t}) / D^{1/2}, \quad D = (1 + p + q)^2 - 4pq,$$

$$\alpha = (1 + p + q - D^{1/2}) / 2q\tau_1, \quad \beta = (1 + p + q + D^{1/2}) / 2q\tau_1,$$

$$\tau_1 = C_1 R_1, \quad p = R_1 / R_2, \quad q = C_2 / C_1$$

15 で与えられる。ただし、高電位側の電源電圧VDD=1で正規化した。このことから、ノイズu(t)を小さくするためにはDを大きくとれば良いことがわかる。Dはp, qの二次式だからp, qともに大きければDも大きくなる。pを大きくとることは抵抗R2を小さくすることである。その方法は、上記スイッチ素子の数を増やすことに相当するが、その場合は、前述の通り、ただ単純にスイッチ素子を増やせば半導体装置の面積効率を犠牲にしなければならない。したがって、そのような面積効率の低下を考慮した配置が必要である。また、qを大きくする方法は、ダイオード容量C2を大きくすることに他ならない。図3のインバータ回路INVの例で見るとダイオード容量C2はnMIS51Qnの面積で決まってしまうようと思われるが、実際は、図1に示したように、ダイオード容量C2用のダイオードは、分布定数的に存在しており、ダイオード容量C2の成分のダイオードは未使用のトランジスタ領域にも存在している。そこで、本発明の技術思想においては、未使用のトランジスタ領域についても電源とウエルとを電気的に接続する。これにより、分布定数的ではあるが、実効的にダイオード容量C2を増やしたように見せることが可能である。この接続はレイアウト面積の増加と

いう不具合がない。すなわち、半導体装置における面積効率の低下を招くことなく、ウエルのノイズを低減できる。

次に、本発明の技術思想を説明する。図4は本発明の技術思想を模式的に示した図であり、1つの基本セル列を示している。また、図5は比較のため本発明の5 技術思想を取り入れていない技術の模式的な図を示している。

図4に示すように、基本セル列には複数の基本セル1が図4のX方向（第1方向）に沿って規則的に並んで配置されている。各基本セル1には、例えばnMISQn およびpMMISQp が配置されている。なお、符号1（U）は使用されている基本セルを、符号1（UU）は使用されていない基本セルを、1（S）は10 スイッチ素子3SW1, 3SW2として使用されている基本セルを示す。また、使用されていない基本セル1（UU）は論理回路として使用されていないという意味である。

図4には、説明を簡単にするため、論理回路として、例えばインバータ回路INV およびAND回路AND 等のような基本的な論理回路が基本セル1に形成されている場合が示されている。ただし、インバータ回路INV およびAND回路AND は論理回路を代表したもので、これに限定されるものではなく種々変更可能であり、例えばNAND回路、OR回路、NOR回路またはExclusive-OR回路等のような基本的な論理回路が形成されている場合でも本発明を適用することができる。また、ここでは説明を簡単するために基本的な論理回路を示しており、例えばフリップフロップ回路やクロック回路等のような比較的大型の論理回路が形成されている場合でも適用される。インバータ回路INV およびAND回路AND は、基本セル1内のpMISQp およびnMISQn により構成されている。

電源配線2VDD は、相対的に高電位の電源電圧を供給するための配線であり、25 電源配線2VSS は、相対的に低電位の電源電圧を供給するための配線である。上記基本的な論理回路は、この電源配線2VDD、2VSS の間に電気的に接続されている。例えばインバータ回路INV のpMISQp のドレインが電源配線2VDD に電気的に接続され、インバータ回路INV のnMISQn のソースが電源配線2VSS に電気的に接続されている。そのnMISQn とpMISQp とのゲート

電極は互いに電気的に接続され、入力 IN と電気的に接続されている。また、その pMISQp のソースと nMISQn のドレインとは互いに電気的に接続され、出力 OUT と電気的に接続されている。

ウエル電位制御用の配線 2VPP は、基本セル 1 の pMISQp が配置された n
5 ウエルに相当するものであり、ここでは配線として示されている。この配線 2VPP (すなわち、n ウエル) に所定の電圧を印加することによって pMISQp の
しきい値電圧を所定値に設定することが可能となっている。符号の R2n は、その
n ウエルの拡散抵抗を示している。また、ウエル電位制御用の配線 2VNN は、基
本セル 1 の nMIS が配置された p ウエルに相当するものであり、ここでは配線
10 として示されている。この配線 2VNN (すなわち、p ウエル) に所定の電圧を印
加することにより、nMISQn のしきい値電圧を所定値に設定することが可能
となっている。符号の R2p は、その p ウエルの拡散抵抗を示している。

上記電源配線 2VDD と配線 2VPP (n ウエル) との間にスイッチ素子 3SW1 が
介在され、上記電源配線 2VSS と配線 2VNN (p ウエル) との間にスイッチ素子
15 3SW2 が介在されている。このスイッチ素子 3SW1, 3SW2 は、電源配線 2VDD、
2VSS と配線 2VPP、2VNN (ウエル) とを電気的に接続したり、切り離したり
する素子である。すなわち、このスイッチ素子 3SW1, 3SW2 がオンしている状態
においては、n ウエルおよび p ウエルの電圧は電源電圧 (n ウエルは電源電圧 VD
20 D、p ウエルは電源電圧 VSS) に設定され、その各々のウエルにバイアス電圧は印
加されない。一方、スイッチ素子 3SW1, 3SW2 がオフしている状態においては、
配線 2VPP、2VNN (n ウエルおよび p ウエル) に対して電源電圧とは異なる電
位の電圧を外部から印加することによって上記各々のウエルにバイアスを発生さ
せるのである。

ここで、本発明の技術思想の第 1 の大きな特徴は、このスイッチ素子 3SW1, 3SW2 が基本セル 1 内の pMISQp および nMISQn により構成されているこ
25 とである。すなわち、スイッチ素子 3SW1, 3SW2 を 1 つの基本セル 1 を用いて構
成する。このように、スイッチ素子を設けるという特殊な構造の半導体装置にお
いて、スイッチ素子 3SW1, 3SW2 を基本セル 1 内の MISFET によって構成す
ることにより、スイッチ素子を半導体基板のどこにでも配置することができる。

すなわち、スイッチ素子 3 SW1, 3 SW2 の配置の自由度を向上させることができる。したがって、スイッチ素子 3 SW1, 3 SW2 を、半導体装置の設計および論理構成に対して最適な状態で、すなわち、主回路の配置に不具合を生じさせることなく、半導体基板上に配置する可能となっている。スイッチ素子 3 SW1 を構成する p MISQPs のゲート電極は配線 2 VDBC と電気的に接続されている。スイッチ素子 3 SW2 を構成する n MISQNs のゲート電極は配線 2 VSBC と電気的に接続されている。そして、これら配線 2 VDBC, 2 VSBC から各スイッチ素子 3 SW1, 3 SW2 のゲート電極に伝送される信号によってスイッチ素子 3 SW1, 3 SW2 のオン・オフが制御されるようになっている。

また、本発明の技術思想の第 2 の大きな特徴は、スイッチ素子 3 SW1, 3 SW2 が個々のウエルにおいて分散的に配置されていることである。すなわち、ウエルの両端の間に、複数のスイッチ素子 3 SW1, 3 SW2 が分散的に配置される。これは、X 方向において複数の基本セル 1 を用いてスイッチ素子 3 SW1, 3 SW2 を構成することにより、X 方向に延在して形成されるウエルに複数のスイッチ素子 3 SW1, 3 SW2 を x 方向において分散的に配置することができる。これは、上記したように、ウエルの両端にスイッチ素子を配置しただけではウエルノイズが増大する課題を考慮した構造である。この場合、上記したように、ただ単にスイッチ素子 SW1, 3 SW2 を配置すれば良いのではなく、面積効率の低下を考慮した配置が必要である。

なお、使用の基本セル 1、すなわち、論理回路が形成された基本セル 1 (U) およびスイッチ素子 3 SW1, 3 SW2 が形成された基本セル 1 (S) において、電源配線 2 VDD と配線 2 VPP (n ウエル) との間および電源配線 2 VSS と配線 2 VNN (p ウエル) との間には、上記ダイオード容量 C2 に相当するダイオード容量 C2a が形成されている。これは図 5 にも示すように一般的に形成される容量である。

さらに、本発明の技術思想の第 3 の大きな特徴は、未使用のトランジスタ領域の半導体領域と電源とが電気的に接続され、容量素子としての上記ダイオード容量 C2 を形成していることである。すなわち、図 4 に示すように、未使用の基本セル 1 (UU) の p MISQPs の半導体領域 (ドレイン) と電源配線 2 VDD とが電気的に接続され、また、未使用の基本セル 1 の n MISQNs の半導体領域 (ソ

ース) と電源配線 2 VSS とが電気的に接続されている。これにより、未使用の基本セル 1 (UU) の領域においても、電源配線 2 VDD と配線 2 VPP (n ウエル) との間および電源配線 2 VSS と配線 2 VNN (p ウエル) との間に上記ダイオード容量 C2 に相当するダイオード容量 C2b が形成されている。すなわち、論理回路を構成しない未使用の基本セル 1 (UU) を用いて上記容量素子 (ダイオード容量素子) C2 を構成する。これにより、半導体装置における面積効率の低下を招くことなく、上記ダイオード容量 C2 を増加させることができるので、ウエルのノイズを低減させることができる。なお、図 5 に示すように、通常は、論理回路を構成しない基本セルを電源配線 5 2 VDD、5 2 VSS に電気的に接続しないので、上記ダイオード容量 C2b は形成されていない。

次に、このような本発明の技術思想を、例えば CMOS ゲートアレイに適用した場合について説明する。図 6 (a)、(b) は本実施の形態の半導体装置を構成する半導体チップ 4 の平面図を示している。図 6 (a) は半導体チップ 4 における基本セル 1、I/O (Input /Output) セル 5 および外部端子であるボンディングパッド B P の配置を模式的に示しており、図 6 (b) は配置・配線工程後の半導体チップ 4 の平面図を模式的に示している。なお、図 6 (a)、(b) は同一の半導体チップ 4 であるが、図面を見易くするために図を分けて示している。

半導体チップ 4 は、例えば平面四角形状のシリコン単結晶の小片を素子形成部材として構成され、その主面中央 (内部回路領域) には複数個の基本セル 2 が X 方向および Y 方向に沿って規則的に敷き詰められている。すなわち、本実施の形態のゲートアレイは、いわゆる全面敷き詰め型 (SOG : Sea Of Gate) あるいはチャネルレス型と称するゲートアレイである。ただし、本発明は SOG 型のゲートアレイに適用されることに限定されるものではなく、種々適用可能であり、例えば複数の基本セル 2 が X 方向に沿って並んで配置されてなる基本セル列を、配線チャネルを介して複数列設ける一般的なゲートアレイや基本セル 1 の他に ROM (Read Only Memory) や RAM (Random Access Memory) 等をも内部回路領域に配置する、いわゆる複合型のゲートアレイに適用することも可能である。

基本セル 1 は、基本的な論理回路 (例えば OR 回路、NOR 回路、AND 回路、NAND 回路、Exclusive-OR 回路またはインバータ回路) を構成す

ることが可能な 1 個または複数個の素子を有する単位領域である。半導体チップ 4 には、基本的な論理回路または比較的大型の論理回路（図 6 の網掛けハッチングで示す領域）が 1 個または複数個の基本セル 1 で形成され、さらに、それらの論理回路間が配線 2（図 6（b）の斜線のハッチングにより示され、上記した電源配線 2 VDD、2 VSS、配線 2 VDBC、2 VSBC を含む）によって電気的に接続されて、例えばマイクロプロセッサ等のような所定の論理機能を持った半導体装置が構成されている。基本セル 1 には、後述するように、例えば pMIS と nMIS とが形成されている。この pMIS と nMIS とにより CMIS 回路を形成できる。なお、基本セル 1 の具体的な構成例については後ほど詳細に説明する。

10 半導体チップ 1 の主面外周（内部回路領域の外周、すなわち、周辺回路領域）には、複数の I/O セル 5 およびボンディングパッド BP が半導体チップ 4 の各辺に沿って配置されている。この I/O セル 5 は、例えば入力回路、出力回路または入出力双方向回路等のような入出力回路および保護ダイオードまたは保護抵抗等のような静電破壊防止回路を構成するための素子を含む単位領域である。なお、入力回路は、半導体チップ 4 の外部からの電源電圧や電気信号を半導体チップ 4 の内部の回路に見合った状態にする機能を有し、出力回路は半導体チップ 4 の内部で形成された電気信号を減衰させないように半導体チップ 4 の外部の伝送線路を通じて目的とする電子装置に伝送する機能を有している。また、ボンディングパッド BP は、ボンディングワイヤが接合される部分で、ここを通じて半導体チップ 4 の内外間での電源電圧および電気信号の入出力が行われる。なお、ボンディングパッド BP は、例えば平面四角形状のアルミニウム、アルミニウム合金または銅からなり、I/O セル 5 每に配置されている。I/O セル 5 の具体的な構成例についても後ほど詳細に説明する。

25 まず、上記第 1、第 2 の大きな特徴で説明したスイッチ素子について説明する。図 7 は上記スイッチ素子およびそれに関わる配線の配置を模式的に示した図である。図 7 に示すように、内部回路領域 A には、n ウエル NWL および p ウエル PWL が Y 方向に沿って交互に配置されている。上記したように、本実施の形態においては、スイッチ素子 3SW1, 3SW2 が基本セル 1 内の pMISQP および nMISQn により構成されており、かつ、n ウエル NWL および p ウエル PWL の

各々において分散されて配置されている。

同一の n ウエル NWL 内に分散された複数のスイッチ素子 3 SW1 用の p M I S Q_p の半導体領域（ドレイン）は、電源配線 2 VDDA を通じて互いに電気的に接続され、かつ、内部回路領域 A の外周を取り囲むように配置された電源配線 2 V₅ DDB に電気的に接続されている。また、その複数のスイッチ素子 3 SW1 の p M I S Q_p の半導体領域（ソース）は、配線 2 VPPA を通じて n ウエル NWL に電気的に接続されている。このようにして電源配線 2 VDDB と n ウエル NWL との間にスイッチ素子 3 SW1 が介在されている。なお、内部回路領域 A の外周を取り囲むように配置された配線 2 VPPB は、 n ウエル NWL に電気的に接続されて外部 10 から n ウエル NWL に対して所定の電位の電圧を印加できるようになっている。

さらに、その複数のスイッチ素子 3 SW1 の p M I S Q_p のゲート電極は配線 2 V₁₀ DBCA を通じて互いに電気的に接続され、かつ、内部回路領域 A を取り囲むように配置された配線 2 VDBCB に電気的に接続されている。一方、同一の p ウエル PWL 内に分散された複数のスイッチ素子 3 SW2 用の n M I S Q_n の半導体領域（ソース）は、電源配線 2 VSSA を通じて互いに電気的に接続され、かつ、内部回路 15 領域 A の外周を取り囲むように配置された電源配線 2 VSSB に電気的に接続されている。また、その複数のスイッチ素子 3 SW2 の n M I S Q_n の半導体領域（ソース）は、配線 2 VNNA を通じて p ウエル PWL に電気的に接続されている。このようにして電源配線 2 VSSA と p ウエル PWL との間にスイッチ素子 3 SW2 が 20 介在されている。また、内部回路領域 A の外周を取り囲むように配置された配線 2 VNNB は、p ウエル PWL と電気的に接続されて外部から p ウエル PWL に所定の電位の電圧を印加できるようになっている。さらに、その複数のスイッチ素子 3 SW2 の n M I S Q_n のゲート電極は配線 2 VSBCA を通じて互いに電気的に接続され、かつ、内部回路領域 A を取り囲むように配置された配線 2 VSBCB に電気 25 的に接続されている。このように、電源配線 2 VDDB、2 VSSB、配線 2 VPPB、2 VNNB、2 VDBCB、2 VSBCB を内部回路領域 A を取り囲むように配置したことにより、内部回路領域 A の四方から電源電圧 VDD、VSS および制御信号用の所定の電圧 VPP、VNN、VDBC、VSBC を内部回路領域 A 側に供給することが可能となっている。

また、本実施の形態においては、I/Oセル5が、図7の破線Bを境界線として示すように、内部領域側と外部領域側とに分かれしており、その内部領域側の素子により、スイッチ素子3SW3、3SW4が形成されている。このスイッチ素子3SW3、3SW4は、上記内部回路領域Aにおけるスイッチ素子3SW1、3SW2と同じ機能を持っている。これは、後述するようにI/Oセル5の内部領域側の素子(MISFET)は、主として入力回路を構成することから動作速度の高速化を図るべく、内部回路領域Aの素子(MISFET)と同じ寸法として、しきい値電圧を相対的に低くする必要があるため、例えば半導体装置の電気的試験時や待機時にそのしきい値電圧を変える必要性があるからである。このようなスイッチ素子SW3、SW4を設けたことにより、通常動作時にはスイッチ素子3SW3、3SW4をオンさせI/Oセル5内の内部領域のMISFETのしきい値を設定通り低くする一方で、試験時にはスイッチ素子3SW3、3SW4をオフさせ、I/Oセル5内の内部領域のMISFETのしきい値を相対的に高くすることが可能になっている。

本実施の形態においては、このスイッチ素子3SW3、3SW4が、I/Oセル5の内部領域における未使用のpMISQpAおよびnMISQnAによって形成されている。ただし、未使用のI/Oセル5内の素子によりスイッチ素子3SW3、3SW4を形成することもできる。図7においては、スイッチ素子3SW3、3SW4を半導体チップ4の角部近傍に配置した場合について示したが、スイッチ素子3SW3、3SW4を半導体チップ4の各辺ごとに複数個設けることもできる。ただし、この場合も、ただ単にスイッチ素子SW3、3SW4を配置すれば良いのではなく、入出力回路の配置を阻害せず、かつ、ウエルノイズの低減を図るような考慮が必要である。なお、I/Oセル5内のレイアウトおよびスイッチ素子の効果等については後ほど詳細に説明する。

このI/Oセル5の内部領域上には、電源配線2VDDC、2VSSC、配線2VDBCC、2VSBCC、2VPPC、2VNNCが、半導体チップ4の外周に沿って環状に配置されている。これにより、I/Oセル5の各素子(スイッチ素子3SW3、3SW4を含む)に対して電源電圧VDD、VSSおよび制御信号用の所定の電圧VDBC、VSBCを印加でき、また、周辺回路領域におけるnウエルNWLおよびpウエル

PWLに対してどの位置からも制御信号用の所定の電圧VPP、VNNを印加することが可能となっている。なお、上記入出力回路と論理を構成する内部回路とでは、電源電圧VDD、VSSおよび所定の電圧VPP、VNN、VDBC、VSBCの電位が同じ場合であっても、ノイズの問題を考慮して、それらの供給用の配線系が別々に設けられている。また、上記入出力回路と上記内部回路とで、電源電圧VDD、VSSおよび所定の電圧VPP、VNN、VDBC、VSBCの電位を異ならせる場合もある。

図8は図7の変形例を示した図である。太枠は基本セル1を示している。この変形例は、1つの基本セル1内のpMISQpおよびnMISQnの両方をスイッチ素子にせず、図8に示すように、1つの基本セル1内のpMISQpまたはnMISQnのいずれか一方だけをスイッチ素子3SW1、3SW2とすることもできることを示している。この構造の場合、未使用のMISFETをスイッチ素子として使用することになるので、未使用の基本セル1をスイッチ素子として使用する場合に比べて、スイッチ素子の配置の自由度をさらに向上させることができる。この構造は、周辺回路領域(I/Oセル5の内部側)においても適用できる。

このようなスイッチ素子の使用例を図9～図11によって説明する。なお、図9および図11においては、スイッチ素子3SW1、3SW2のオンオフ動作の状態がわかるように、スイッチ素子3SW1、3SW2をスイッチの電気記号で示している。

図9は、本実施の形態の半導体装置におけるスタンバイ電流の測定試験等のようないくつかの電気的試験時の状態を模式的に示した図である。試験時においては、配線2VDBC、2VSBCからの信号によりスイッチ素子3SW1、3SW2をオフし、電源配線2VDDと配線2VPP(nウェル)とを電気的に切り離し、かつ、電源配線2VSSと配線2VNN(pウェル)とを電気的に切り離した状態で、テスタ6から(すなわち、半導体チップ4の外部から)配線2VPP、2VNN(ウェル)に対して、電源電圧VDD、VSSとは異なる所定の電位の電圧VPP、VNNを印加する。これにより、基本セル1内におけるpMISQpおよびnMISQnのしきい値電圧を動作時とは異なる所定の値(動作時に対して相対的に高い値)に設定することが可能な構造となっている。なお、この試験においては、図10に示すように、nウェルNWLまたはpウェルPWLの両端に上記所定の電圧VPP、VNNを

印加することになるが、この試験では論理回路を動作させるわけではなく、ノイズがあまり問題とならないので、拡散抵抗 R_{2n} 、 R_{2p} が高抵抗であっても構わない。また、試験時の電源電圧 V_{DD} は、例えば 3.5 V 程度、電源電圧 V_{SS} は、
5 例えば -1.8 V 程度である。これにより、試験時にトランジスタのしきい値を上げてリーク電流を少なくでき、トランジスタが欠陥か否かの判断を容易にすることができる。

一方、図 1 1 は、半導体装置の動作時における状態を模式的に示した図である。動作時においては、配線 2 V_{DBC}、2 V_{SBC} からの信号によりスイッチ素子 3 SW₁、3 SW₂ をオンし、電源配線 2 V_{DD} と配線 2 V_{PP} (n ウエル) とを電気的に接続し、かつ、電源配線 2 V_{SS} と配線 2 V_{NN} (p ウエル) とを電気的に接続することにより、配線 2 V_{PP}、2 V_{NN} (ウエル) と電源配線 2 V_{DD}、2 V_{SS} との電位を同電位 (誤差を含む) にする。これにより、基本セル 1 内における pMISQ_p および nMISQ_n のしきい値電圧を設計上の値 (試験時に対して相対的に低い値) に設定することが可能な構造となっている。なお、動作時の電源電圧 V_{DD} は、
10 15 例えば 1.8 V 程度、電源電圧 V_{SS} は、例えば 0 V 程度である。これにより、論理回路の動作を高速に行うことができる。

図 1 2 は半導体チップ 4 内にスイッチ素子 3 SW₁、3 SW₂ のゲート電極への電圧 (V_{DBC}、V_{SBC}) および配線 2 V_{PP}、2 V_{NN} (n ウエルおよび p ウエル) への供給用の電圧 (V_{PP}、V_{NN}) の供給構成の変形例を示している。図 1 2 においても、スイッチ素子 3 SW₁、3 SW₂ をスイッチの電気記号で示してあるが、実際は上記説明と同様に pMIS および nMIS によって形成されている。電圧発生回路 7 A は、配線 2 V_{DBC}、2 V_{SBC} と電気的に接続されてスイッチ素子 3 SW₁、3 SW₂ のゲート電極に所定の電圧 V_{DBC}、V_{SBC} を伝送し、スイッチ素子 3 SW₁、3 SW₂ のオン・オフを制御する回路である。電圧発生回路 7 B は、配線 2 V_{PP}、
20 25 2 V_{NN} (n ウエルおよび p ウエル) と電気的に接続されて、試験時や待機時に、n ウエルおよび p ウエルに対してそれぞれ電圧 V_{PP}、V_{NN} を供給する回路である。

次に、上記第 3 の大きな特徴で説明したウエルの電位安定化のための構造 (上記ダイオード容量 C₂ を増大させる構造) について説明する。図 1 3 (a) は、未使用のトランジスタの平面レイアウトを模式的に示した平面図である。図 1 3

(a) は平面図だが、図面を見易くするためにハッチングを付す。また、図13
(b) は図13 (a) のXA-XA線の模式的な断面図である。図13 (b) は
断面図であるが、図面を見易くするため一部ハッチングを付さないようにした。

図13 (a)、(b) に示すように、半導体チップ4を構成する半導体基板4
Sにおいて、nウエルNWLの形成領域にはpMISQpが形成され、pウエル
PWLの形成領域にはnMISQnが形成されている。pMISQpは、一対の
p型の半導体領域8P、8Pと、ゲート絶縁膜9と、ゲート電極10とを有して
いる。一方、nMISQnは、一対のn型の半導体領域8N、8Nと、ゲート絶
縁膜9と、ゲート電極10とを有している。半導体基板4Sの主面上には、層間
絶縁膜11が形成されており、これによってpMISQpおよびnMISQnが
被覆されている。この層間絶縁膜11上には、配線2VDD、2VSSが形成されて
いる。本実施の形態においては、配線2VDDが層間絶縁膜11に穿孔された接続
孔12を通じてpMISQpの一対の半導体領域8Pの両方に電気的に接続され
ている。また、配線2VSSが層間絶縁膜11に穿孔された接続孔12を通じてn
MISQnの一対の半導体領域8Nの両方に電気的に接続されている。

このような構造においては、nウエルNWLと一対の半導体領域8P、8Pの
両方との間およびpウエルPWLと一対の半導体領域8N、8Nの両方との間に
pn接合ダイオードが形成される。このダイオードには逆バイアスが印加される
ので、オンせず上記ダイオード容量C2として観測される。したがって、未使用
のpMISQpおよびnMISQnの半導体領域8P、8Nと配線2VDD, 2VSS
とを電気的に接続することにより、ダイオード容量C2を増大させることができ
る。これにより、nウエルNWLおよびpウエルPWLの電位の安定性を向上さ
せることができるので、半導体装置の動作安定性を向上させることが可能となる。ま
た、CMIS回路を有する半導体装置においてはラッチアップの課題がある。特
に、上記スイッチ素子を有する構造においては上記したように抵抗R2の増大に
よりウエルにおけるノイズの増大が予測されるのでラッチアップが生じ易いとい
う課題がある。その対策の一例としてウエルを3重構造にすることでノイズの伝

搬を抑制すること等が考えられるが、内部回路領域においては、微細化が要求されるので、微細化を阻害する構造を採用することは避けたい。本実施の形態においては、未使用のトランジスタのソース・ドレイン用の半導体領域（8 P, 8 N）と電源配線 2 VDD, 2 VSS とを小さな接続孔 12 を通じて電気的に接続することによりダイオード容量 C2 を増大させ、n ウエル NWL および p ウエル PWL で生じるノイズを抑制するので、微細化要求を阻害することなく、ラッチアップの発生を抑制できる。したがって、半導体装置の大型化を招くことなく、CMOS 回路を有する半導体装置の動作信頼性を向上させることが可能となっている。

図 14 (a)、(b) は図 13 (a)、(b) の変形例を示している。図 14 においては、電源配線 2 VDD と pMISQp の一対の半導体領域 8 P, 8 P の片方の半導体領域 8 P とが接続孔 12 を通じて電気的に接続され、かつ、電源配線 2 VSS と nMISQn の一対の半導体領域 8 N, 8 N の片方の半導体領域 8 N とが接続孔 12 を通じて電気的に接続されている。この場合、半導体基板 4 には、片方の半導体領域 8 P と n ウエル NWL との間および片方の半導体領域 8 N と p ウエル PWL との間にダイオード容量 C2 が形成されることになる。このため、図 13 の場合よりも容量の電極面積が小さくなりダイオード容量 C2 がに低減するが、全く接続しない場合に比べればダイオード容量 C2 を増大させることが可能となる。

次に、本実施の形態における半導体装置の具体的な構造例について説明する。

図 15 は本実施の形態の CMOS ゲートアレイの要部の平面レイアウト図である。図 16 は図 15 から基本セル 1 のみを抜き出して示した平面レイアウト図である。また、図 17 は図 15 の XA-XA 線の断面図、図 18 は図 15 の XB-XB 線の断面図である。なお、図 15 および図 16 に示す符号 CHX および CHY は配線ピッチ線（すなわち、配線チャネル（配線経路））を示すもので、実際の製品に形成されているものではない。その配線ピッチ線 CHX, CHY の交点に十字状の印が付されており、その十字位置に、配線-半導体基板間および異なる配線層間を接続するための接続孔が配置されるようになっている。配線ピッチ線の 1 ピッチは、例えば 0.5 μ m 程度である。なお、図 16 に示すように、基本セル 1 を Y 方向（X 方向に垂直な方向）において、2 つの nMIS 形成領域 QNA と、

2つのpMIS形成領域QPAとで構成しているが、これに限らず、基本セル1をY方向において1つのnMIS形成領域QNAと1つのpMIS形成領域QPAとで構成しても良いのは無論である。

半導体基板4Sは、例えばp型のシリコン単結晶からなり、その正面の内部回路領域には、図15および図16のX方向に帯状に延在するnウエルNWL(2VPPに該当)およびpウエルPWL(2VNNに該当)が、図15および図16のY方向に沿って交互に形成されている。nウエルNWLには、例えばリンまたはヒ素が含有されている。また、pウエルPWLには、例えばホウ素が含有されている。

また、半導体基板4Sには、溝型の分離部(トレンチアイソレーション)13が形成されている。この溝型の分離部13は、半導体基板4Sの厚さ方向に掘られた分離溝13a内に、例えばシリコン酸化膜からなる分離用絶縁膜13bが埋め込まれて形成されており、平面的には活性領域Lを規定している。なお、この分離部は溝型のものに限定されるものではなく、例えば選択酸化法(LOCOS: Local Oxidation of Silicon法)によって形成されるフィールド絶縁膜によって構成することもできる。

また、半導体基板4SのnウエルNWLには、図15のX方向に隣接する2つの基本セル1毎に1つの割合でn⁺型の半導体領域14Nが形成されている。この半導体領域14Nは、例えばリンまたはヒ素が含有されてなり、nウエルNWLと電気的に接続されている。また、半導体基板4SのpウエルPWLには、図15のX方向に隣接する2つの基本セル1毎に1つの割合でp⁺型の半導体領域14Pが形成されている。この半導体領域14Pは、例えばホウ素が含有されてなり、pウエルPWLと電気的に接続されている。このn⁺型の半導体領域14Nおよびp⁺型の半導体領域14Pにはスイッチ素子を構成するMISFETのソース・ドレイン用の一対の半導体領域のうちの一方の半導体領域が電気的に接続される。

1つの基本セル1には、例えばpMIS形成領域QPA、nMIS形成領域QNA、pMIS形成領域QPAおよびnMIS形成領域QNAが図15および図16のY方向に沿って順に配置されている。

p M I S 形成領域 Q P A は、上記 n ウエル NW L に配置されており、その個々の領域には、例えば 2 個の p M I S Q p 、 Q p が形成されている。各 p M I S Q p は、上記と同様に、ソース・ドレイン形成用の一対の p 型の半導体領域 8 P と、ゲート絶縁膜 9 と、ゲート電極 1 0 とを有している。ここでは、2 個の p M I S Q p 、 Q p 用の活性領域 L に、2 つのゲート電極 1 0 が平面的に重なって配置され、その互いに隣接するゲート電極 1 0 、 1 0 の間の半導体領域 8 P が、2 個の p M I S Q p 、 Q p に共有の領域となっている。半導体領域 8 P には、例えばホウ素が含有されている。なお、半導体領域 8 P を、その M I S F E T のチャネル側に配置された低不純物濃度領域と、それに電気的に接続されチャネルから低不純物濃度領域分だけ離間した位置に形成された高不純物濃度領域とで構成することでホットキャリアを抑制する、いわゆる L D D (Lightly Doped Drain) 構造とすることもできる。また、半導体領域 8 P のチャネル側端部近傍において半導体基板 4 の正面から所定の深さ位置に半導体領域 8 P とは導電型の異なる半導体領域を設けることで、ソース・ドレイン間のパンチスルーを抑制する構造とすることもできる。

また、n M I S 形成領域 Q N A は、上記 p ウエル PW L に配置されており、その個々の領域には、例えば 2 個の n M I S Q n 、 Q n が形成されている。各 n M I S Q n は、上記と同様に、ソース・ドレイン形成用の一対の n 型の半導体領域 8 N と、ゲート絶縁膜 9 と、ゲート電極 1 0 とを有している。この場合も p M I S 形成領域の場合と同様に、2 個の n M I S Q n 、 Q n 用の活性領域 L に、2 つのゲート電極 1 0 が平面的に重なって配置され、その互いに隣接するゲート電極 1 0 、 1 0 の間の半導体領域 8 N が、2 個の n M I S Q n 、 Q n に共有の領域となっている。半導体領域 8 N には、例えばリンまたはヒ素が含有されている。n M I S Q n においても、上記 L D D 構造やパンチスルーを抑制する構造とすることもできる。

ゲート絶縁膜 9 は、例えばシリコン酸化膜からなる。また、このゲート絶縁膜 9 を酸窒化膜 (S i O N 膜) によって形成しても良い。これにより、ゲート絶縁膜 9 中における界面準位の発生を抑制することができ、また、同時にゲート絶縁膜 9 中の電子トラップも低減することができるので、ゲート絶縁膜 9 におけるホ

ットキャリア耐性を向上させることが可能となる。これにより、nMISQn およびpMISQp の動作信頼性を向上させることが可能となる。

ゲート電極10は、例えばn形の低抵抗ポリシリコン膜上に、窒化チタン(TiN) や窒化タンゲステン(WN) 等のようなバリア金属膜を介してタンゲステン(W) 等のような金属膜が下層から順に堆積されて形成されている(いわゆるポリメタル構造)。このバリア金属膜は、低抵抗ポリシリコン膜上にタンゲステン膜を直接積み重ねた場合に、その接触部に製造プロセス中の熱処理によりシリサイドが形成されてしまうのを防止する等のための膜である。ゲート電極10の一部に金属膜を設けたことでゲート電極の抵抗を低減させることができ、半導体装置の動作速度を向上させることが可能となる。ただし、ゲート電極10はポリメタル構造に限定されるものではなく、例えば低抵抗ポリシリコンの単体膜で形成することもできるし、低抵抗ポリシリコン膜上にタンゲステンシリサイド等のようなシリサイド膜を堆積させて形成した、いわゆるポリサイド構造とすることもできる。なお、ゲート電極10の両端部には幅広部が形成されており、ここに上層配線との接続孔が配置されるようになっている。また、pMISQp およびnMISQn のゲート電極10は、フォトリソグラフィ技術およびドライエッチング技術による同一のパターニング行程時に形成されている。また、特に限定されるものではないが、ゲート電極10のゲート長は、例えば 0.14 μm 程度、ゲート幅は、例えば 0.30 μm 程度である。

20 このように本実施の形態においては、1 個の基本セル1が、ゲート電極の寸法(ゲート幅およびゲート長)が等しい4 個のpMISQp と、そのpMISQp とゲート電極の寸法(ゲート幅およびゲート長)が等しい4 個のnMISQn とで、合計8 個のMISFETを有している。ただし、基本セル1の構成は、これに限定されるものではなく種々変更可能であり、1 個の基本セル1に含まれるMISFETの数は8 個より少なくとも良いし、また、8 個よりも多くても良い。また、1 個の基本セル1内に、ゲート電極寸法の異なるMISFETを配置することもできる。例えば相対的にゲート幅の小さいMISFETと、相対的にゲート幅の大きいMISFETとを1 個の基本セル1内に配置するようにしても良い。これにより、例えば駆動電流の大きなMISFET(ゲート幅が相対的に大きな

M I S F E T) で構成される論理回路の入力に駆動電流の小さなM I S F E T (ゲート幅が相対的に小さなM I S F E T) を接続したい場合に、短い配線経路でそれを実現できる。

次に、半導体装置の配線を含めた構造を図19～図24によって説明する。図5 19は図15のレイアウト上に第1から第3配線層までを配置した場合の一例を示している。また、図20は図19の第1および第2配線層までを配置した場合を示している。また、図21は図19の第1配線層のみを配置した場合を示している。また、図22は図21のXA-XA線の断面図である。また、図23は図19～図22に示されたスイッチ素子の回路図である。さらに、図24は図19 10のXB-XB線の断面図である。

第1配線層および第3配線層の配線経路は基本的にX方向に延在されている (部分的にY方向に延びる場合もある)。また、第2配線層の配線経路は基本的にY方向に延在されている (部分的にX方向に延びる場合もある)。なお、図1 15～図21は平面図であるが、図面を見易くするため部分的にハッチングが付されている。

第1配線層には、第1層目の電源配線2VDDA1、2VSSA1、第1層目の配線2VppA1、2VNNA1、2LB1、2LC1が形成されている。第1層目の電源配線2VDDA1は、上記電源電圧VDDを供給するための配線であって、X方向に沿って帯状に延在され、X方向に並ぶ複数のpMISQp上に配置されている。スイッチ素子3SW1の形成領域においては、第1層目の電源配線2VDDA1が、スイッチ素子3SW1を構成するpMISQpの一方の半導体領域8P (活性領域Lの幅方向両端側)に接続孔15aを通じて電気的に接続されている。また、基本的な論理回路を代表して示したインバータ回路INVの形成領域においては、第1層目の電源配線2VDDA1が、インバータ回路INVを構成するpMISQpの一方の半導体領域8P (活性領域Lの幅方向片端側)に接続孔15bを通じて電気的に接続されている。

また、第1層目の電源配線2VSSA1は、上記電源電圧VSSを供給するための配線であって、X方向に沿って帯状に延在され、X方向に並ぶ複数のnMISQn上に配置されている。スイッチ素子3SW2の形成領域においては、第1層目の電

源配線 2 VSSA1 が、スイッチ素子 3 SW2 を構成する n M I S Qn の一方の半導体領域 8 N (活性領域 L の幅方向両端側) に接続孔 1 5 c を通じて電気的に接続されている。また、基本的な論理回路を代表して示したインバータ回路 I N V の形成領域においては、第 1 層目の電源配線 2 VSSA1 が、インバータ回路 I N V を構成する n M I S Qn の一方の半導体領域 8 N (活性領域 L の幅方向片端側) に接続孔 1 5 d を通じて電気的に接続されている。

また、スイッチ素子 3 SW1 を構成する p M I S Qp の他方の半導体領域 8 P (活性領域 L の幅方向中央) と、その p M I S Qp に隣接する n⁺ 型の半導体領域 1 4 N (すなわち、n ウエル NWL) とは、第 1 層目の配線 2 VPPA1 (上記配線 2 VPPA に相当) およびその両端近傍に配置された接続孔 1 5 e を通じて電気的に接続されている。これにより、第 1 層目の電源配線 2 VDDA1 と、n ウエル NWL とはスイッチ素子 3 SW1 用の 2 個の p M I S QP を介して接続されている。また、スイッチ素子 3 SW1 を構成する 2 個の p M I S Qp のゲート電極 1 0、1 0 は、第 1 層目の配線 2 VDBCA1 およびその両端近傍に配置された接続孔 1 5 f を通じて電気的に接続されている。

また、スイッチ素子 3 SW2 を構成する n M I S Qn の他方の半導体領域 8 N (活性領域 L の幅方向中央) と、その n M I S Qn に隣接する p⁺ 型の半導体領域 1 4 P (すなわち、p ウエル PWL) とは、第 1 層目の配線 2 VNNA1 (上記配線 2 VNNA に相当) およびその両端近傍に配置された接続孔 1 5 e を通じて電気的に接続されている。これにより、第 1 層目の電源配線電源配線 2 VSSA1 と、p ウエル PWL とはスイッチ素子 3 SW2 用の 2 個の n M I S Qn を介して接続されている。また、スイッチ素子 3 SW2 を構成する 2 個の n M I S Qn のゲート電極 1 0、1 0 は、第 1 層目の配線 2 VSBCA1 およびその両端近傍に配置された接続孔 1 5 f を通じて電気的に接続されている。なお、図 2 3 に示すように、スイッチ素子 3 SW1 は 2 個の p M I S Qp を有し、スイッチ素子 3 SW2 は 2 個の n M I S Qn を有している。

また、インバータ回路 I N V を構成する p M I S Qp および n M I S Qn のゲート電極 1 0、1 0 は、第 1 層目の配線 2 LB1 およびその両端部近傍に配置された接続孔 1 5 g を通じて電気的に接続されている。この配線 2 LB1 は、インバ

タ回路 I NV の入力を形成している。また、インバータ回路 I NV を構成する p MISQp および n MISQn の半導体領域 8 P, 8 N (活性領域 L の中央) は、第 1 層目の配線 2 LC1 およびその両端近傍に配置された接続孔 15 h を通じて電気的に接続されている。この第 1 層目の配線 2 LC1 は、インバータ回路 I NV の 5 出力を形成している。このように、基本セル 1 内を結線する配線 2 VPPA1, 2 VNA1, 2 LB1, 2 LC1 は、主に第 1 配線層で構成される。

第 2 配線層には、第 2 層目の電源配線 2 VDDA2, 2 VSSA2、第 2 層目の配線 2 VDBCA2, 2 VSBCA2 が形成されている。なお、第 2 配線層の配線は Y 方向に延在するように配置される。第 2 層目の電源配線 2 VDDA2 は、第 1 配線層とは交差する Y 方向に沿って帯状に延在され、Y 方向に沿って交互に並ぶ複数の p+ 型の半導体領域 14 P および n+ 型の半導体領域 14 N 上に配置されている。この第 10 層目の電源配線 2 VDDA2 と上記第 1 層目の電源配線 2 VDDA1 との交点には接続孔 15 i が配置されており、これを通じて第 1 層目の電源配線 2 VDDA1 と第 2 層目の電源配線 2 VDDA2 とが電気的に接続されている。

15 また、第 2 層目の電源配線 2 VSSA2 は、第 1 配線層とは交差する Y 方向に沿って帯状に延在され、Y 方向に沿って交互に並ぶ複数の p+ 型の半導体領域 14 P および n+ 型の半導体領域 14 N 上に配置されている。この第 2 層目の電源配線 2 VSSA2 と第 1 層目の電源配線 2 VSSA1 との交点には接続孔 15 j が配置されており、これを通じて第 1 層目の電源配線 2 VSSA1 と第 2 層目の電源配線 2 VSS 20 A2 とが電気的に接続されている。

また、第 2 層目の配線 2 VDBCA2, 2 VSBCA2 は、スイッチ素子 3 SW1, 3 SW 2 をオン・オフさせるための制御信号を伝送する配線であり、Y 方向に沿って帯状に延在している。このうち配線 2 VDBCA2 は、接続孔 15 k を通じて第 1 層目の配線 2 VDBCA1 と電気的に接続され、これを通じてスイッチ素子 3 SW1 用の 25 2 個の p MISQp のゲート電極 10, 10 と電気的に接続されている。一方、配線 2 VSBCA2 は、接続孔 15 m を通じて第 1 層目の配線 2 VSBCA1 と電気的に接続され、これを通じてスイッチ素子 3 SW2 用の 2 個の n MISQn のゲート電極 10, 10 と電気的に接続されている。

また、第 3 配線層には、配線 2 VDBCA3, 2 VSBCA3 が形成されている。なお、

第3配線層の配線はX方向に延在するように配置される。この配線2VDBCA3、2VSBCA3は、スイッチ素子3SW1、3SW2をオン・オフさせるための制御信号を伝送する配線であり、X方向に沿って第2層目の電源配線2VDDA1、2VSSA1と平行に帯状に延在されている。このうち配線2VDBCA3は、接続孔15nを通じて第2層目の配線2VDBCA2と電気的に接続され、これを通じてスイッチ素子3SW1用の2個のpMISQpのゲート電極10、10と電気的に接続されている。一方、配線2VSBCA3は、接続孔15pを通じて第2層目の配線2VSBCA2と電気的に接続され、これを通じてスイッチ素子3SW2用の2個のnMISQnのゲート電極10、10と電気的に接続されている。この配線2VDBCA3、2VSBCA3を第3配線層に配置し第2配線層に配置しなかったのは、スイッチ素子3SW1、3SW2を通常の基本セル1で実現し、かつ、実装される論理とは無関係に配置できるようにしたためで、配線2VDBCA、2VSBCAを第2配線層で形成すると、幅の狭い基本セル1のX方向内に、その2本で1ペアをなす配線2VDBCA、2VSBCAを配置しなければならず、第2配線層の配線チャネルを殆ど潰してしまうことになり現実的でないからである。なお、図示しないが、基本セル1間は、X方向に延在する第1配線層の配線、Y方向に延在する第2配線層の配線、X方向に延在する第3配線層の配線を用いて結線される。

さらに、本実施の形態においては、使用されない基本セル1または使用されないnMISQnの半導体領域8Nに第1層目の電源配線2VSS1が接続孔12を通じて接続されている一例が示されている。これにより、微細な接続孔12の配置だけでウエルのノイズを抑制することができる。すなわち、スイッチ素子3SW1、3SW2を有するような半導体装置であっても、構造の複雑化やチップサイズの増大を招くことなく、半導体基板4Sに形成されたウエルにおけるノイズ発生を抑制できる。したがって、MISFETのしきい値電圧の安定化、ラッチアップの抑制等を図ることができ、半導体装置の動作信頼性を向上させることが可能となる。なお、図22および図24の符号11a、11bは、層間絶縁膜を示しており、例えば酸化シリコン膜からなる。また、電源配線2VDDA1、2VDDA2、2VSSA1、2VSSA2、配線2VDBCA1、2VDBCA2、2VDBCA3、配線2VSBCA1、2VSBCA2、2VSBCA3、配線2VPPA1、2VNNA1、2LB1、2LC1等の配

線は、例えばアルミニウム、シリコンや銅を含有するアルミニウム合金、銅、銅合金またはこれらの導体膜と窒化チタンやチタン膜とを積み重ねてなる積層膜からなる。

次に、図25は上記のような基本セル1の配列によって構成された論理回路の
5 レイアウト例を示している。また、図26は図25のレイアウトに上記ウエルの電位安定化のための構成を模式的に示している。なお、図25および図26において破線は基本セル1を示し、太い枠は論理回路を示している。

図25および図26には、基本的な論理回路としてインバータ回路INVが配置され、また、比較的大型の論理回路としてクロック回路CLおよびフリップフロップ回路FFが配置されている状態が模式的に示されている。これら論理回路は、上記基本セル1内のpMISQpおよびnMISQnで形成されている。太い枠で示された論理回路の領域以外の領域は、論理設計者が作成する論理が配置されるか、または、配線2の配置領域として使用されている。配線2の配置領域の基本セル1は未使用の基本セルとなっている。

15 スイッチ素子3SWは、上記スイッチ素子3SW1、3SW2を簡略化して示している。ここでは、クロック回路CLやフリップフロップ回路FF内にスイッチ素子3SWが配置されている。すなわち、論理回路の中にはスイッチ素子3SWを内蔵するものがある。これは、クロック回路CLやフリップフロップ回路FFにおいては、動作速度が速く駆動能力が高いことや複数の素子または配線が同時に駆動する場合があるので瞬間的に大きなノイズが生じ易いことを考慮したものである。すなわち、ノイズが生じ易い論理回路内にスイッチ素子3SWを予め配置しておくことにより、効率的にノイズの発生を抑制することができる。また、この場合、設計の段階において、既にスイッチ素子3SWを内蔵させた論理回路を用意し、これをレイアウトする。これにより、設計者はスイッチ素子3SWの存在自体を考慮せずに論理回路をレイアウトできる。また、スイッチ素子3SW内蔵の論理回路をレイアウトすることにより、全体的または部分的にスイッチ素子3SWの配置も完了させることができる。このため、スイッチ素子3SWを効果的に、かつ、容易に配置することができる。また、全体的な回路のレイアウトを容易にすることができる。

また、図26には、上記ウエル電位安定化のための接続孔12が、上記と同様に、未使用の基本セル1内のMISFETのソース・ドレイン用の半導体領域またはクロック回路CLやフリップフロップ回路FF内における未使用のMISFETのソース・ドレイン用の半導体領域に配置され、その半導体領域と電源配線2VDDA、2VSSAとが電気的に接続されていることが示されている。すなわち、ウエル電位安定化のための接続孔12は、論理回路内の未使用のMISFETに配置することもできる。

図27はクロック回路CLの模式図である。図27に示すようにクロック回路CLには、スイッチ素子3SW1, 3SW2が内蔵されている。符号INVCLは、クロック用のインバータ回路を示している。図28は図27のクロック回路CLのレイアウト図を模式的に示している。斜線のハッチングは使用されていることを示している。右下がりの斜線のハッチングの領域にはクロック回路CLが形成され、左下がりの斜線のハッチングの領域にはスイッチ素子3SWが形成されている。すなわち、上記のようにクロック回路CL内にスイッチ素子3SWが内蔵されている。

また、クロック回路CL内のnMIS形成領域QNA(図28の基本セル1の最下部)は、未使用となっており、そのnMISのソース・ドレイン用の半導体領域と電源配線2VSSAとは接続孔12を通じて上記の説明のように電気的に接続されている。

また、図29はフリップフロップ回路FFの模式図である。図29に示すように、フリップフロップ回路FF内にもスイッチ素子3SW1, 3SW2が内蔵されている。符号FFAは、フリップフロップ回路の本体部分を示している。図30は図29のフリップフロップ回路FFのレイアウト図を模式的に示している。斜線のハッチングは図28と同様にしようされている領域を示しており、右下がりのハッチングの領域にはフリップフロップ回路、左下がりのハッチングの領域にはスイッチ素子3SWが形成されている。すなわち、上記のようにフリップフロップ回路FF内にスイッチ素子3SWが内蔵されている。また、フリップフロップ回路FF内のpMIS形成領域QPA(図30の基本セル1の最上部)およびnMIS形成領域QNA(図28の基本セル1の最下部)は、未使用となっており、そのpMISのソース・ドレイン用の半導体領域と電源配線2VDDAとは接続孔12を

通じて上記説明のように電気的に接続され、かつ、nMISのソース・ドレイン用の半導体領域と電源配線2VSSAとは接続孔12を通じて上記説明のように電気的に接続されている。

スイッチ素子を有する構造を得るための製造方法は、例えば次の通りである。

5 まず、半導体基板に複数の基本セル1を敷き詰めて配置する。続いて、基本セル1内のMISFETによりスイッチ素子3SW1, 3SW2を配置する（例えば図38の斜線で示すように配置する）。その後、設計者が要求する論理回路を複数の基本セル1を用いて自動的に配置・配線する。また、他の方法として、スイッチ素子3SW1, 3SW2を内蔵する論理回路（例えばクロック回路やフリップフロップ回路）を自動配置・配線することもできる。さらに、これらの方法を組み合わせることもできる。

また、上記ウエル電位の安定化のための接続孔12を有する構造とする場合は、上記論理回路を配置・配線した後に、未使用のMISFETのソース・ドレイン用の半導体領域と電源配線との交差領域に接続孔12を配置すれば良い。この際、15 完成した半導体装置に対して、ウエルでノイズが生じるか否かを自動的に判定することにより、接続孔12の配置の仕方や個数を変えることも可能である。また、他の方法として、予め決められている論理回路（ここではクロック回路やフリップフロップ回路に相当する）内に未使用のMISFETが存在するならば、初めからそのMISFETのソース・ドレイン用の半導体領域に接続孔12も配置しておき、その接続孔12を所有する論理回路をレイアウト面上に通常の自動配置・配線法によって配置・配線することで全体的な論理回路を構成することもできる。さらに、これらの方法を組み合わせることもできる。これにより、配線の自由度を低下させずに接続孔12を設けることができる。

次に、本実施の形態の半導体装置の周辺およびその近傍の構造を説明する。

25 図31は半導体チップ1の外周角部およびその近傍の平面図であり、図32は図31の要部拡大平面図である。

図31に示すように、半導体チップ4の最外周においてI/Oセル5内の外部領域上には、電源配線2VSSD2、2VSSD1、電源配線2VDDD2、2VDDD1が半導体チップ4の外周から中央に向かう方向に沿って順に配置されている。

電源配線 2 VSSD2、2 VSSD1 は、I/Oセル5の外部領域に配置された相対的にゲート幅の大きなM I S F E Tで構成された回路に電源電圧VSSを供給するための配線である。電源配線 2 VSSD2 は、第2配線層に形成され図31のY方向に帯状に延びている。また、電源配線 2 VSSD1 は、第1配線層に形成され図31のX方向に帯状に延びている。これら電源配線 2 VSSD2、2 VSSD1 は、その交差部に配置された接続孔16aを通じて互いに電気的に接続されている。

一方、電源配線 2 VDDD2、2 VDDD1 は、上記 I/Oセル5の外部領域に配置された相対的にゲート幅の大きなM I S F E Tで構成された回路に電源電圧VDDを供給するための配線である。電源配線 2 VDDD2 は、第2配線層に形成され図31のY方向に帯状に延び、電源配線 2 VDDD1 は、第1配線層に形成され図31のX方向に帯状に延びており、これら電源配線 2 VDDD2、2 VDDD1 は、その交差部に配置された接続孔16bを通じて互いに電気的に接続されている。このように、I/Oセル5で構成される回路に電源電圧VDD、VSSを供給するための電源配線は半導体チップ4の主面外周に沿って形成されている。

また、図31に示すように、上記電源配線 2 VDDD2、2 VDDD1 よりも内側において I/Oセル5内の内部領域上には、配線 2 VNNC2、2 VNNC1、電源配線 2 VSSC2、2 VSSC1、配線 2 VSBCC2、2 VSBCC1、配線 2 VDBC2、2 VDBC1、電源配線 2 VDDC2、2 VDDC1、配線 2 VPPC2、2 VPPC1 が半導体チップ4の外周から中央に向かう方向に沿って順に配置されている。

配線 2 VNNC2、2 VNNC1 は、試験時や待機時に I/Oセル5の内部領域におけるウエル (p ウエル) に電圧VNNを供給する配線であり、上記図7の配線 2 VNNC に対応している。第2配線層に形成された配線 2 VNNC2 は、接続孔16cを通じて第1配線層に形成された配線 2 VNNC1 と電気的に接続されている。

電源配線 2 VSSC2、2 VSSC1 は、I/Oセル5の内部領域に形成された回路に電源電圧VSSを供給する配線であり、上記図7の電源配線 2 VSSC に対応している。第2配線層に形成された配線 2 VSSC2 は、接続孔16dを通じて第1配線層に形成された配線 2 VSSC1 と電気的に接続されている。

配線 2 VSBCC2、2 VSBCC1 は、I/Oセル5の内部領域に形成された上記スイッチ素子を構成するnMISQnA (図7参照) のゲート電極に電圧VSBCを供

給する配線であり、上記図 7 の配線 2 VSBCC に対応している。第 2 配線層に形成された配線 2 VSBCC2 は、接続孔 16 e を通じて第 1 配線層に形成された配線 2 VSBCC1 と電気的に接続されている。

配線 2 VDBCC2、2 VDBCC1 は、I/O セル 5 の内部領域に形成されたスイッチ素子を構成する pMISQpA (図 7 参照) のゲート電極に電圧 VDBC を供給する配線であり、上記図 7 の配線 2 VDBCC に対応している。第 2 配線層に形成された配線 2 VDBCC2 は、接続孔 16 f を通じて第 1 配線層に形成された配線 2 VDBCC1 と電気的に接続されている。

電源配線 2 VDDC2、2 VDDC1 は、I/O セル 5 の内部領域に形成された回路に電源電圧 VDD を供給する配線であり、上記図 7 の電源配線 2 VDDC に対応している。第 2 配線層に形成された配線 2 VDDC2 は、接続孔 16 g を通じて第 1 配線層に形成された配線 2 VDDC1 と電気的に接続されている。

配線 2 VPPC2、2 VPPC1 は、試験時や待機時に I/O セル 5 の内部領域におけるウエル (n ウエル) に電圧 VPP を供給する配線であり、上記図 7 の配線 2 VPPC に対応している。第 2 配線層に形成された配線 2 VPPC2 は、接続孔 16 h を通じて第 1 配線層に形成された配線 2 VPPC1 と電気的に接続されている。

また、図 31、図 32 に示すように、配線 2 VPPC2、2 VPPC1 よりも内側の領域には、配線 2 VSBCB2、2 VSBCB1、配線 2 VDDBC2、2 VDDBC1、電源配線 2 VSSB2、2 VSSB3、電源配線 2 VDDB2、2 VDDB3 が半導体チップ 4 の外周から中央に向かう方向に沿って順に配置されている。

配線 2 VSBCB2、2 VSBCB1 は、内部回路領域に配置された上記スイッチ素子を構成する nMISQn のゲート電極に電圧 VSBC を供給する配線であり、上記図 7 の配線 2 VSBCB に対応している。第 2 配線層に形成された配線 2 VSBCB2 は、接続孔 16 i を通じて第 1 配線層に形成された配線 2 VSBCB1 と電気的に接続されている。また、第 2 配線層の配線 2 VSBCB2 は、接続孔 16 j を通じて第 3 配線層に形成された配線 2 VSBCB3 と電気的に接続され、これを通じてボンディングパッド BP と電気的に接続されている。さらに、第 2 配線層の配線 2 VSBCB2 は、接続孔 16 k を通じて第 1 配線層に形成された配線 2 VSBCA1 と電気的に接続され、これを通じて内部回路領域内のスイッチ素子を構成する nMISQn の

ゲート電極と電気的に接続されている。

配線 2 VDBCB2 、 2 VDBCC1 は、内部回路領域に配置された上記スイッチ素子を構成する pMISQp のゲート電極に電圧 VDBC を供給する配線であり、上記図 7 の配線 2 VDBCB に対応している。第 2 配線層に形成された配線 2 VDBCC2 は、
5 接続孔 1 6 m を通じて第 1 配線層に形成された配線 2 VDBCC1 と電気的に接続されている。また、第 2 配線層の配線 2 VDBCB2 は、接続孔 1 6 n を通じて第 3 配線層に形成された配線 2 VDBCB3 と電気的に接続され、これを通じてボンディングパッド BP と電気的に接続されている。さらに、第 2 配線層の配線 2 VDBCB2
10 は、接続孔 1 6 p を通じて第 1 配線層に形成された配線 2 VDBCA1 と電気的に接続され、これを通じて内部回路領域内のスイッチ素子を構成する pMISQp のゲート電極と電気的に接続されている。

電源配線 2 VSSB2 、 2 VSSB3 は、内部回路領域に形成された論理回路および上記スイッチ素子に電源電圧 VSS を供給する配線であり、上記図 7 の電源配線 2 VSSB に対応している。第 2 配線層に形成された配線 2 VSSB2 は、接続孔 1 6 q を通じてその上層の第 3 配線層に形成された配線 2 VSSB3 と電気的に接続されている。また、第 2 配線層の配線 2 VSSB2 は、接続孔 1 6 r を通じて第 3 配線層に形成された配線 2 VSSB3 と電気的に接続され、これを通じてボンディングパッド BP と電気的に接続されている。さらに、第 2 配線層の配線 2 VSSB2 は、接続孔 1
15 6 s を通じて第 1 配線層に形成された配線 2 VSSA1 と電気的に接続され、これを通じて内部回路領域内の論理回路およびスイッチ素子を構成する nMISQn と電気的に接続されている。

電源配線 2 VDDB2 、 2 VDDB3 は、内部回路領域に形成された論理回路および上記スイッチ素子に電源電圧 VDD を供給する配線であり、上記図 7 の配線 2 VDDB に対応している。第 2 配線層に形成された配線 2 VDDB2 は、接続孔 1 6 t を通じてその上層の第 3 配線層に形成された配線 2 VDDB3 と電気的に接続されている。また、第 2 配線層の配線 2 VDDB2 は、接続孔 1 6 u を通じて第 3 配線層に形成された配線 2 VDDB3 と電気的に接続され、これを通じてボンディングパッド BP と電気的に接続されている。さらに、第 2 配線層の配線 2 VDDB2 は、接続孔 1 6 w を通じて第 1 配線層に形成された配線 2 VDDA1 と電気的に接続され、これを通じ

て内部回路領域内の論理回路およびスイッチ素子を構成する p M I S Q p と電気的に接続されている。

さらに、n ウエルNWL および p ウエルPWL の両端（図 3 1 及び図 3 2 においては片方の端部のみに図示している）近傍の領域に、それぞれ複数の n⁺ 型の

5 半導体領域 1 4 N および p⁺ 型の半導体領域 1 4 P が並んで配置されている。上記電源配線 2 VDDB2、2 VDDB3 よりも内側には、配線 2 VNNB2、2 VNNB3、2 VPPB2、2 VPPB3 が配置されている。配線 2 VNNB2、2 VNNB3 は、試験時や待機時に p ウエルPWL に電圧VNN を供給するための配線であり、上記図 7 の配線 2 VNNB に対応している。第 2 配線層に形成された配線 2 VNNB2 は、接続孔 1 6 x 10 を通じて第 3 配線層に形成された配線 2 VNNB3 と電気的に接続され、かつ、接続孔 1 7 a を通じて p⁺ 型の半導体領域 1 4 P に接続され、これを通じて p ウエルPWL と電気的に接続されている。なお、配線 2 VNNB2、2 VNNB3 は、第 3 配線層における所定の配線を通じてボンディングパッド B P と電気的に接続され、これを通じてテスタ等と電気的に接続される。

15 配線 2 VPPB2、2 VPPB3 は、試験時や待機時に n ウエルNWL に電圧VPP を供給するための配線であり、上記図 7 の配線 2 VPPB に対応している。第 2 配線層に形成された配線 2 VPPB2 は、接続孔 1 6 y を通じて第 3 配線層に形成された配線 2 VPPB3 と電気的に接続され、かつ、接続孔 1 7 b を通じて n⁺ 型の半導体領域 1 4 N に接続され、これを通じて n ウエルNWL と電気的に接続されている。

20 なお、配線 2 VPPB2、2 VPPB3 は、第 3 配線層における配線 2 VPPB3 を通じてボンディングパッド B P と電気的に接続され、これを通じてテスタ等と電気的に接続される。

なお、これら半導体チップ 4 の外周およびその近傍の配線は、上記内部回路領域の配線と同様に、例えばアルミニウム、シリコンおよび銅を含むアルミニウム 25 合金、銅、銅合金またはそれらの導体膜に窒化チタンやチタン膜を積み重ねてな積層膜で構成されている

次に、I/Oセル 5 の構成およびこれを用いた回路の一例を説明する。図 3 3 は I/Oセル 5 を模式的に示した図である。また、図 3 4 は図 3 3 の I/Oセル 5 のさらに具体的な素子レイアウトを模式的に示した図である。さらに、図 3 5

は図34のXA-XA線およびXB-XB線の断面図である。

図33および図34に示すように、I/Oセル5は、外部領域と内部領域とを有している。外部領域は、主として出力回路を構成する領域であり、この領域には、ボンディングパッドBP、保護回路領域18、nMIS形成領域QNBおよびpMIS形成領域QPBが配置されている。nMIS形成領域QNBは、pウエルPWLの領域内に配置され、pMIS形成領域QPBはnウエルNWLの領域内に配置されている。このpウエルPWLおよびnウエルNWLは、半導体チップ4の外周に沿って上記論理回路が構成された内部回路領域を取り囲むように伸びている。そして、そのpウエルPWLおよびnウエルNWLに沿って、nMIS形成領域QNB上を通過するように電源配線2VSSDが配置され、pMIS形成領域QPB上を通過するように電源配線2VDDDが配置されている。

保護回路領域18には、例えば保護抵抗等、半導体装置の素子を静電気等による過電圧から保護するための保護素子が形成されている。なお、外部領域のpMIS形成領域QPBおよびnMIS形成領域QNBのMISFET自体も内部領域の回路に対する保護回路として機能するようになっている。

nMIS形成領域QNBには、図34および図35に示すようにnMISQnBが形成され、pMIS形成領域QPBにはpMISQpBが形成されている。nMISQnBは、ソース・ドレイン用の一対のn型の半導体領域19N、ゲート絶縁膜9Aおよびゲート電極10Aを有している。また、pMISQpBは、ソース・ドレイン用の一対のp型の半導体領域20P、ゲート絶縁膜およびゲート電極10Aを有している。pMISQpBの断面構造は図35のnMISQnBと同じなので図示していない。半導体領域19Nには、例えばリンまたはヒ素が含有されている。また、半導体領域20Pには、例えばホウ素が含有されている。図34においては中央の半導体領域19N、20Pが、それぞれ2つのnMISQnB、2つのpMISQpBの共通の領域となっている。nMISQnBおよびpMISQpBのゲート絶縁膜(9A)の材料は、前記した論理回路等を形成するMISFETのゲート絶縁膜9と同じである。ただし、ゲート絶縁膜9Aの厚さは、ゲート絶縁膜9の厚さよりも厚い。これは、外部領域側のMISFETの動作電圧(例えば2.5~3.3V程度)は、内部回路領域のMISFETの動作電圧(例えば

1. 5～1. 8 V程度)よりも高いからである。I/Oでの企画は、内部回路領域の電圧が下がったからといって勝手に変えられるものではなく、従来の高い電圧で動作することも保証しなければならないからである。

また、nMISQnBおよびpMISQpBのゲート電極10Aの材料は、前記したゲート電極10と同じである。ただし、ゲート電極10の幅および長さ(チャネル長)は、ゲート電極10よりも大きい。このようにゲート絶縁膜9Aおよびゲート電極10の寸法が論理回路用のMISFETに比べて相対的に大きくしてあるのは、外部領域のnMISQnBおよびpMISQpBのが主として出力回路を形成するため大きな駆動能力を必要とする等の理由からである。

一方、I/Oセル5の内部領域は、主として入力回路を構成する領域であり、その領域には、nMIS形成領域QNCおよびpMIS形成領域QPCが配置されている。nMIS形成領域QNCは、pウエルPWLの領域内に配置され、pMIS形成領域QPCはnウエルNWLの領域内に配置されている。このpウエルPWLおよびnウエルNWLも、半導体チップ4の外周に沿って上記内部回路領域を取り囲むように延びている。そして、そのpウエルPWLおよびnウエルNWLに沿って、nMIS形成領域QNC上を通過するように配線2VNNC、電源配線2VSSCおよび配線2VSBCCが配置され、pMIS形成領域QPB上を通過するように配線2VDBCC、電源配線2VDDDおよび配線2VPPCが配置されている。

nMIS形成領域QNCには、p⁺型の半導体領域21Pおよび複数のnMISQnAが形成され、pMIS形成領域QPCには、n⁺型の半導体領域21Nおよび複数のpMISQpAが形成されている。p⁺型の半導体領域21Pは、例えばホウ素が含有されており、pウエルPWLに所定の電圧を供給するための領域である。また、n⁺型の半導体領域21Nは、例えばリンまたはヒ素が含有されたり、nウエルNWLに所定の電圧を供給するための領域である。

各nMISQnAは、ソース・ドレイン用の一対のn型の半導体領域22N、ゲート絶縁膜9およびゲート電極10を有しており、内部回路領域のnMISQnとほぼ同じ構造および寸法で形成されている。各pMISQpAは、ソース・ドレイン用の一対のn型の半導体領域23P、ゲート絶縁膜およびゲート電極10を

有しており、内部回路領域の p M I S Q p とほぼ同じ構造および寸法で形成されている。 p M I S Q p A の断面構造は図 3 5 の n M I S Q n A と同じなので図示していない。

半導体領域 2 2 N には、例えばリンまたはヒ素が含有され、半導体領域 2 3 P 5 には、例えばホウ素が含有されている。 n M I S Q n A および p M I S Q p A のゲート絶縁膜 (9) およびゲート電極 1 0 の材料および寸法は、前記した内部回路領域における n M I S Q n および p M I S Q p のゲート絶縁膜 9 およびゲート電極 1 0 の材料および寸法と同じである。すなわち、 I / O セル 5 の内部領域の n M I S Q n A および p M I S Q p A は、外部領域の n M I S Q n および p M I S Q p 10 B に比較してゲート幅およびゲート絶縁膜の厚さが薄い。これは、内部領域の M I S F E T は主として入力回路を構成するので、動作速度を速くするために、しきい値電圧を相対的に低くする必要性があるからである。そして、この複数の n M I S Q n A および p M I S Q p A のうちのいずれかを用いて図 7 に示したスイッチ素子 3 SW4 、 3 SW3 が形成される。

15 図 3 6 および図 3 7 には、その I / O セル 5 に形成されたスイッチ素子 3 SW3, 3 SW4 および入力回路が模式的に示されている。

スイッチ素子 3 SW3 を構成する p M I S Q p A のゲート電極 1 0 には、配線 2 V DBCC が電気的に接続されている。また、その p M I S Q p A のソース・ドレイン用の一方の半導体領域 2 3 P には電源配線 2 V DDC が電気的に接続され、ソース・ 20 ドレイン用の他方の半導体領域 2 3 P には配線 2 V PPC が電気的に接続されている。この配線 2 V PPC は、 I / O セル 5 の内部領域内の n + 型半導体領域 2 1 N と電気的に接続され、これを通じて n ウエル NWL と電気的に接続されている。このような接続関係とすることにより、スイッチ素子 3 SW3 は、電源配線 V DDC と n ウエル NWL との間に介在されている。

一方、スイッチ素子 3 SW4 を構成する n M I S Q n A のゲート電極 1 0 には、配線 2 V SBCC が電気的に接続されている。また、その n M I S Q n A のソース・ドレイン用の一方の半導体領域 2 2 N には電源配線 2 V SSC が電気的に接続され、ソース・ドレイン用の他方の半導体領域 2 2 N には配線 2 V NNC が電気的に接続されている。この配線 2 V NNC は、 I / O セル 5 の内部領域内の p + 型半導体領

域 21 P と電気的に接続され、これを通じて p ウエル PWL と電気的に接続されている。このような接続関係とすることにより、スイッチ素子 3 SW4 は、電源配線 VSSC と p ウエル PWL との間に介在されている。

上述のように、I/O セル 5 の内部領域における n MISQnA、p MISQpA

5 は、主として入力回路を構成するので、動作速度を速くすべく、しきい値電圧を相対的に低くする必要性がある。したがって、前記したように内部回路領域に形成された M ISFET と同様に試験時に良否判定が難しいので、スイッチ素子 3 SW3、3 SW4 を設け、そのしきい値電圧を通常動作時と試験時とで変える必要がある。そこで、本実施の形態においては、I/O セル 5 の領域内にもスイッチ素子 3 SW3、3 SW4 を設けている。これにより、通常動作時にはスイッチ素子 3 SW3 をオンさせ n ウエル NWL に電源電圧 VDD を印加することで入力回路用のインバータ回路 INVIN を構成する p MISQpA のしきい値電圧を設計通り低くする一方で、試験時にはスイッチ素子 3 SW3 をオフさせ n ウエル NWL に電源電圧 VDD とは別の電圧 VPP を印加することで入力回路用のインバータ回路 INVIN を構成する p MISQpA のしきい値電圧を高くすることが可能になっている。同様に、通常動作時にはスイッチ素子 3 SW4 をオンさせ p ウエル PWL に電源電圧 VSS を印加することで入力回路用のインバータ回路 INVIN を構成する n MISQnA のしきい値電圧を設計通り低くする一方で、試験時にはスイッチ素子 3 SW4 をオフさせ p ウエル PWL に電源電圧 VSS とは別の電圧 VNN を印加することで入力回路用のインバータ回路 INVIN を構成する n MISQnA のしきい値電圧を高くすることが可能になっている。

ただし、上記のように、ただ単にスイッチ素子 SW3、3 SW4 を配置すれば良いのではなく、入出力回路の配置を阻害せず、かつ、ウエルのノイズ低減を図るような考慮が必要である。例えば I/O セル 5 により形成される入出力回路では複数の信号端子が同時に駆動する場合があるので、ウエルにおいて瞬間に大きなノイズが生じ易い。この問題は、CMIS 回路を有し、かつ、スイッチ素子 SW3、SW4 を設ける半導体装置において、ラッチアップの原因ともなるので、特に問題となる。そこで、本実施の形態においては、I/O セル 5 の領域においても各ウエル毎に複数のスイッチ素子 3 SW3、3 SW4 を分散的に配置する。これにより、

そのノイズの発生を抑制できるので、ラッチアップの発生を抑制できる。また、このI/Oセル5の内部領域内における未使用のMISFETの半導体領域に対しては、上記のようにウエル電位の安定化のための接続孔を配置し、その半導体領域と電源配線とを電気的に接続する。例えばI/Oセル5内にはI/Oとしての機能は特に持たないが、静電保護や未使用のゲート処理を施したセルをかぶせるような処理をおこなっているので、そのI/Oセル5の中にウエル電位安定化のための接続孔を形成することもできる。これにより、チップサイズの増大を招くことなく、ウエルにおいてノイズが発生するのを抑制でき、ラッチアップの発生を抑制することができる。

10 また、入力回路用のインバータ回路INVINは、I/Oセル5の内部領域におけるnMISQnAおよびpMISQpAで構成されるCMISインバータ回路である。すなわち、nMISQnAおよびpMISQpAのゲート電極10は配線2によって互いに電気的に接続され、これを通じてボンディングパッドBPと電気的に接続されている。この入力側の配線2には上記保護回路が接続されている。

15 また、nMISQnAおよびpMISQpAの半導体領域22N、23Pは配線2によって互いに電気的に接続され、これを通じて内部回路領域内の所定の論理回路と電気的に接続されている。

20 このように、本実施の形態によれば、トランジスタが形成された半導体領域と電源配線との間にスイッチ素子を介在させ、そのオン・オフ制御によってトランジスタのしきい値電圧を制御することが可能な機能を有する半導体装置において半導体領域で発生するノイズを低減することが可能となる。

また、本実施の形態によれば、トランジスタが形成された半導体領域と電源配線との間にスイッチ素子を介在させ、そのオン・オフ制御によってトランジスタのしきい値電圧を制御することが可能な機能を有する半導体装置の大型化を招くことなく、半導体領域で発生するノイズを低減することが可能となる。

さらに、本実施の形態によれば、トランジスタが形成された半導体領域と電源配線との間にスイッチ素子を介在させ、そのオン・オフ制御によってトランジスタのしきい値電圧を制御することが可能な機能を有する半導体装置の構造を複雑にすることなく、半導体領域で発生するノイズを低減することが可能となる。

これらにより、上記ノイズに起因するしきい値電圧の変動を抑制することが可能となる。また、上記ノイズに起因するラッチアップの発生を抑制することが可能となる。したがって、半導体装置の動作信頼性を向上させることが可能になる。

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明した
5 が、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば前記実施の形態においては、ボンディングパッドにボンディングワイヤが電気的に接続される構造とした場合について説明したが、これに限定されるものではなく、例えばボンディングパッドにバンプ電極（突状電極）が接続される
10 構造にも本発明を適用できる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるCMOSゲートアレイに適用した場合について説明したが、それに限定されるものではなく、例えば予め用意されたセル・ライブラリを用いて設計を行うスタンダードセル（セル・ベースIC）方式による半導体装置にも適用で
15 きる。

産業上の利用可能性

以上のように、本発明にかかる半導体装置は、例えば計算機等のような情報処理装置を構成するものとして、また、携帯電話等のような通信機器を構成するものとして、さらに、画像処理装置を構成するものとして有用であり、特に、高速動作が要求される装置を構成する半導体装置に適用して有効である。

請求の範囲

1. 半導体基板に形成された半導体領域と、
前記半導体領域に形成された複数の電界効果トランジスタと、
5 前記複数の電界効果トランジスタに対して電源電圧を供給する電源配線と、
前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、
前記スイッチ素子を、前記半導体領域内に複数分散させて配置したことを特徴
とする半導体装置。
2. 半導体基板に形成された半導体領域と、
10 前記半導体領域に形成された複数の電界効果トランジスタと、
前記複数の電界効果トランジスタに対して電源電圧を供給する電源配線と、
前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、
前記半導体領域に、それとは反対の導電型の半導体領域を設け、その半導体領域と前記電源配線とを電気的に接続したことを特徴とする半導体装置。
3. 半導体基板に形成された半導体領域と、
15 前記半導体領域に形成された複数の電界効果トランジスタと、
前記複数の電界効果トランジスタに対して電源電圧を供給する電源配線と、
前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、
前記複数の電界効果トランジスタのうちの未使用の電界効果トランジスタのソ
20 ース、ドレイン用の一対の半導体領域の少なくとも一方と前記電源配線とを電気
的に接続したことを特徴とする半導体装置。
4. 半導体基板に形成された半導体領域と、
前記半導体領域に形成された複数の電界効果トランジスタと、
前記複数の電界効果トランジスタに対して電源電圧を供給する電源配線と、
25 前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、
前記スイッチ素子を前記半導体領域内に複数個分散させて配置し、かつ、前記
半導体領域に、それとは反対の導電型の半導体領域を設け、その半導体領域と前
記電源配線とを電気的に接続したことを特徴とする半導体装置。
5. 半導体基板に形成された半導体領域と、

前記半導体領域に形成された複数の電界効果トランジスタと、
前記複数の電界効果トランジスタに対して電源電圧を供給する電源配線と、
前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、
前記スイッチ素子を前記半導体領域内に複数個分散させて配置し、かつ、前記
5 複数の電界効果トランジスタのうちの未使用の電界効果トランジスタのソース、
ドレイン用の一対の半導体領域の少なくとも一方と前記電源配線とを電気的に接
続したことを特徴とする半導体装置。

6. 半導体基板に形成された半導体領域と、
前記半導体領域に形成された複数の電界効果トランジスタと、
10 前記複数の電界効果トランジスタに対して電源電圧を供給する電源配線と、
前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、
前記スイッチ素子を前記半導体領域内に複数個分散させて配置し、前記半導体
領域内に分散配置されたスイッチ素子とスイッチ素子との間に、前記半導体領域
とは反対の導電型の半導体領域を設け、その半導体領域と前記電源配線とを電気
15 的に接続したことを特徴とする半導体装置。

7. 半導体基板に形成された半導体領域と、
前記半導体基板に規則的に配置された複数の基本セルと、
前記複数の基本セルの各々に配置され、前記半導体領域に形成された電界効果
トランジスタと、
20 前記電界効果トランジスタに対して電源電圧を供給する電源配線と、
前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、
前記スイッチ素子を、前記基本セル内の電界効果トランジスタで形成し、かつ、
前記半導体領域内に複数分散させて配置したことを特徴とする半導体装置。

8. 半導体基板に形成された半導体領域と、
25 前記半導体基板に規則的に配置された複数の基本セルと、
前記複数の基本セルの各々に配置され、前記半導体領域に形成された電界効果
トランジスタと、
前記電界効果トランジスタに対して電源電圧を供給する電源配線と、
前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、

前記スイッチ素子を、前記基本セルの電界効果トランジスタで形成し、かつ、前記複数の基本セル内の前記半導体領域内に形成された領域であって前記半導体領域とは反対導電型の半導体領域と前記電源配線とを電気的に接続したことを特徴とする半導体装置。

5 9. 半導体基板に形成された半導体領域と、
前記半導体基板に規則的に配置された複数の基本セルと、
前記複数の基本セルの各々に配置され、前記半導体領域に形成された電界効果トランジスタと、
前記電界効果トランジスタに対して電源電圧を供給する電源配線と、
10 前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、
前記スイッチ素子を、前記基本セルの電界効果トランジスタで形成し、かつ、前記電界効果トランジスタのうちの未使用の電界効果トランジスタのソース、ドレイン用の一対の半導体領域の少なくとも一方と前記電源配線とを電気的に接続したことを特徴とする半導体装置。

15 10. 半導体基板に形成された半導体領域と、
前記半導体基板に規則的に配置された複数の基本セルと、
前記複数の基本セルの各々に配置され、前記半導体領域に形成された電界効果トランジスタと、
前記電界効果トランジスタに対して電源電圧を供給する電源配線と、
20 前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、
前記スイッチ素子を、前記基本セルの電界効果トランジスタで形成し、かつ、前記半導体領域内に複数個分散させて配置し、
前記複数の基本セル内の前記半導体領域に形成された領域であって前記半導体領域とは反対導電型の半導体領域と前記電源配線とを電気的に接続したことを特徴とする半導体装置。

25 11. 半導体基板に形成された半導体領域と、
前記半導体基板に規則的に配置された複数の基本セルと、
前記複数の基本セルの各々に配置され、前記半導体領域に形成された電界効果トランジスタと、

前記電界効果トランジスタに対して電源電圧を供給する電源配線と、
前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、
前記スイッチ素子を、前記基本セルの電界効果トランジスタで形成し、かつ、
前記半導体領域内に複数個分散させて配置し、

5 前記電界効果トランジスタのうちの未使用の電界効果トランジスタのソース、
ドレイン用の一対の半導体領域の少なくとも一方と前記電源配線とを電気的に接
続したことを特徴とする半導体装置。

12. 半導体基板に形成された半導体領域と、

前記半導体基板に規則的に配置された複数の基本セルと、

10 前記複数の基本セルの各々に配置され、前記半導体領域に形成された電界効果
トランジスタと、

前記電界効果トランジスタに対して電源電圧を供給する電源配線と、

前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、

前記スイッチ素子を、前記基本セルの電界効果トランジスタで形成し、かつ、

15 前記半導体領域内に複数個分散させて配置し、

前記電界効果トランジスタのうち、前記半導体領域内において分散配置された
スイッチ素子とスイッチ素子との間に配置された未使用の電界効果トランジスタ
のソース、ドレイン用の一対の半導体領域の少なくとも一方と前記電源配線とを
電気的に接続したことを特徴とする半導体装置。

20 13. 半導体基板に形成された半導体領域と、

前記半導体基板に規則的に配置された複数の基本セルと、

前記複数の基本セルの各々に配置され、前記半導体領域に形成された電界効果
トランジスタと、

前記複数の基本セルで形成された回路と、

25 前記電界効果トランジスタに対して電源電圧を供給する電源配線と、

前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、

前記回路のうちの所定の回路内に前記スイッチ素子を内蔵させたことを特徴と
する半導体装置。

14. 半導体基板に形成された半導体領域と、

前記半導体基板に規則的に配置された複数の基本セルと、

前記複数の基本セルの各々に配置され、前記半導体領域に形成された電界効果

トランジスタと、

前記複数の基本セルで形成された回路と、

5 前記電界効果トランジスタに対して電源電圧を供給する電源配線と、

前記半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、

前記回路には、前記スイッチ素子が内蔵された回路と、前記スイッチ素子が内蔵されていない回路とを有することを特徴とする半導体装置。

15. 請求項 1 3 または 1 4 記載の半導体装置において、前記複数の基本セル内の前記半導体領域に形成された領域であって前記半導体領域とは反対導電型の半導体領域と前記電源配線とを電気的に接続したことを特徴とする半導体装置。

16. 請求項 1 3 または 1 4 記載の半導体装置において、前記電界効果トランジスタのうちの未使用の電界効果トランジスタのソース、ドレン用の一対の半導体領域の少なくとも一方と前記電源配線とを電気的に接続したことを特徴とする半導体装置。

17. 請求項 1 3 ～ 1 6 のいずれか 1 項に記載の半導体装置において、前記回路は、論理回路であり、前記スイッチ素子は、前記半導体基板内に複数個分散させて配置されることを特徴とする半導体装置。

18. 請求項 1 6 記載の半導体装置において、前記未使用の電界効果トランジスタは、論理回路を構成しない基本セルの電界効果トランジスタであり、前記スイッチ素子間に、前記未使用の基本セルが構成されることを特徴とする半導体装置。

19. 請求項 1 3 ～ 1 8 のいずれか 1 項に記載の半導体装置において、前記スイッチ素子が内蔵された回路が、クロック回路またはフリップフロップ回路であることを特徴とする半導体装置。

20. 請求項 1 3 ～ 1 9 のいずれか 1 項に記載の半導体装置において、前記スイッチ素子が前記基本セル内の電界効果トランジスタで形成されていることを特徴とする半導体装置。

21. 請求項 7 ～ 2 0 のいずれか 1 項に記載の半導体装置において、前記基本セルは p チャネル型の電界効果トランジスタおよび n チャネル型の電界効果トラン

ジスタを有することを特徴とする半導体装置。

22. 請求項 7～12 または 20 のいずれか 1 項に記載の半導体装置において、前記スイッチ素子のゲート電極に電気的に接続される配線を第 3 配線層の配線で形成し、かつ、その配線を前記電源配線と平行に配置したことを特徴とする半導体装置。
5

23. 請求項 7～22 のいずれか 1 項に記載の半導体装置において、前記複数の基本セルが配置された内部回路領域と、その外側の周辺回路領域との間の領域に、前記半導体基板に形成された半導体領域に対して所定の電圧を供給するための給電用の半導体領域が形成されていることを特徴とする半導体装置。

10 24. 請求項 23 に記載の半導体装置において、前記給電用の半導体領域に対して所定の電圧を供給する配線を、前記内部回路領域を取り囲むように配置したことを特徴とする半導体装置。

25. 請求項 24 に記載の半導体装置において、前記給電用の半導体領域に対して所定の電圧を供給する配線は、半導体装置の外部端子を通じて試験用の端子と電気的に接続されることを特徴とする半導体装置。
15

26. 請求項 24 に記載の半導体装置において、前記給電用の半導体領域に対して所定の電圧を供給する配線は、前記内部回路領域内において格子状に配置された給電用の配線と電気的に接続されていることを特徴とする半導体装置。

27. 請求項 1～26 のいずれか 1 項に記載の半導体装置において、前記半導体基板に形成された半導体領域には、半導体装置の通常動作時において前記スイッチ素子がオンされて前記電源配線からの電源電圧が印加され、かつ、半導体装置の試験または待機時において前記スイッチ素子がオフされて前記電源電圧とは異なる電圧が印加されることを特徴とする半導体装置。
20

28. 半導体基板に形成された第 1 の半導体領域と、

25 前記半導体基板に形成され、前記第 1 の半導体領域とは反対導電型の第 2 の半導体領域と、

前記半導体基板に規則的に配置された複数の基本セルと、

前記基本セルの電界効果トランジスタであって、前記第 1 の半導体領域に形成された第 1 の電界効果トランジスタと、

前記基本セルの電界効果トランジスタであって、前記第1の電界効果トランジスタとは反対導電型のチャネルを持ち、かつ、前記第2の半導体領域に形成された第2の電界効果トランジスタと、

前記第1の電界効果トランジスタに接続される第1の電源配線と、

5 前記第2の電界効果トランジスタに接続され、前記第1の電源配線の電位とは相対的に低い電位を供給する第2の電源配線と、

前記第1の半導体領域と前記第1の電源配線との間に介在された第1のスイッチ素子と、

前記第2の半導体領域と前記第2の電源配線との間に介在された第2のスイッチ素子とを備え、

前記第1のスイッチ素子を、前記基本セル内の第1の電界効果トランジスタで形成し、かつ、前記第1の半導体領域内に複数分散させて配置し、

前記第2のスイッチ素子を、前記基本セル内の第2の電界効果トランジスタで形成し、かつ、前記第2の半導体領域内に複数分散させて配置したことを特徴とする半導体装置。

29. 半導体基板に形成された第1の半導体領域と、

前記半導体基板に形成され、前記第1の半導体領域とは反対導電型の第2の半導体領域と、

前記半導体基板に規則的に配置された複数の基本セルと、

20 前記基本セルの電界効果トランジスタであって、前記第1の半導体領域に形成された第1の電界効果トランジスタと、

前記基本セルの電界効果トランジスタであって、前記第1の電界効果トランジスタとは反対導電型のチャネルを持ち、かつ、前記第2の半導体領域に形成された第2の電界効果トランジスタと、

25 前記第1の電界効果トランジスタに接続される第1の電源配線と、

前記第2の電界効果トランジスタに接続され、前記第1の電源配線の電位とは相対的に低い電位を供給する第2の電源配線と、

前記第1の半導体領域と前記第1の電源配線との間に介在された第1のスイッチ素子と、

前記第2の半導体領域と前記第2の電源配線との間に介在された第2のスイッチ素子とを備え、

前記第1のスイッチ素子を、前記複数の基本セルのうちの所定の基本セル内の第1の電界効果トランジスタで形成し、

5 前記第2のスイッチ素子を、前記複数の基本セルのうちの所定の基本セル内の第2の電界効果トランジスタで形成し、

前記複数の基本セル内の前記第1の半導体領域内に形成された領域であって前記第1の半導体領域とは反対導電型の半導体領域と前記第1の電源配線とを電気的に接続し、

10 前記複数の基本セル内の前記第2の半導体領域内に形成された領域であって前記第2の半導体領域とは反対導電型の半導体領域と前記第2の電源配線とを電気的に接続したことを特徴とする半導体装置。

30. 半導体基板に形成された第1の半導体領域と、

前記半導体基板に形成され、前記第1の半導体領域とは反対導電型の第2の半

15 導体領域と、

前記半導体基板に規則的に配置された複数の基本セルと、

前記基本セルの電界効果トランジスタであって、前記第1の半導体領域に形成された第1の電界効果トランジスタと、

前記基本セルの電界効果トランジスタであって、前記第1の電界効果トランジスタとは反対導電型のチャネルを持ち、かつ、前記第2の半導体領域に形成された第2の電界効果トランジスタと、

前記第1の電界効果トランジスタに接続される第1の電源配線と、

前記第2の電界効果トランジスタに接続され、前記第1の電源配線の電位とは相対的に低い電位を供給する第2の電源配線と、

25 前記第1の半導体領域と前記第1の電源配線との間に介在された第1のスイッチ素子と、

前記第2の半導体領域と前記第2の電源配線との間に介在された第2のスイッチ素子とを備え、

前記第1のスイッチ素子を、前記複数の基本セルのうちの所定の基本セル内の

第1の電界効果トランジスタで形成し、

前記第2のスイッチ素子を、前記複数の基本セルのうちの所定の基本セル内の
第2の電界効果トランジスタで形成し、

前記第1の電界効果トランジスタのうちの未使用の第1の電界効果トランジス
5 タのソース、ドレイン用の一対の半導体領域の少なくとも一方と前記第1の電源

配線とを電気的に接続し、

前記第2の電界効果トランジスタのうちの未使用の第2の電界効果トランジス
タのソース、ドレイン用の一対の半導体領域の少なくとも一方と前記第2の電源
配線とを電気的に接続したことを特徴とする半導体装置。

10 3 1. 半導体基板に形成された第1の半導体領域と、

前記半導体基板に形成され、前記第1の半導体領域とは反対導電型の第2の半
導体領域と、

前記半導体基板に規則的に配置された複数の基本セルと、

前記基本セルの電界効果トランジスタであって、前記第1の半導体領域に形成
15 された第1の電界効果トランジスタと、

前記基本セルの電界効果トランジスタであって、前記第1の電界効果トランジ
スタとは反対導電型のチャネルを持ち、かつ、前記第2の半導体領域に形成され
た第2の電界効果トランジスタと、

前記第1の電界効果トランジスタに接続される第1の電源配線と、

20 前記第2の電界効果トランジスタに接続され、前記第1の電源配線の電位とは
相対的に低い電位を供給する第2の電源配線と、

前記第1の半導体領域と前記第1の電源配線との間に介在された第1のスイッ
チ素子と、

前記第2の半導体領域と前記第2の電源配線との間に介在された第2のスイッ
25 チ素子とを備え、

前記第1のスイッチ素子を、前記複数の基本セルのうちの所定の基本セル内の
第1の電界効果トランジスタで形成し、かつ、前記第1の半導体領域内に複数分
散させて配置し、

前記第2のスイッチ素子を、前記複数の基本セルのうちの所定の基本セル内の

第2の電界効果トランジスタで形成し、かつ、前記第1の半導体領域内に複数分散させて配置し、

前記複数の基本セル内の前記第1の半導体領域内に形成された領域であって前記第1の半導体領域とは反対導電型の半導体領域と前記第1の電源配線とを電気的に接続し、
5

前記複数の基本セル内の前記第2の半導体領域内に形成された領域であって前記第2の半導体領域とは反対導電型の半導体領域と前記第2の電源配線とを電気的に接続したことを特徴とする半導体装置。

3 2. 半導体基板に形成された第1の半導体領域と、

10 前記半導体基板に形成され、前記第1の半導体領域とは反対導電型の第2の半導体領域と、

前記半導体基板に規則的に配置された複数の基本セルと、

前記基本セルの電界効果トランジスタであって、前記第1の半導体領域に形成された第1の電界効果トランジスタと、

15 前記基本セルの電界効果トランジスタであって、前記第1の電界効果トランジスタとは反対導電型のチャネルを持ち、かつ、前記第2の半導体領域に形成された第2の電界効果トランジスタと、

前記第1の電界効果トランジスタに接続される第1の電源配線と、

前記第2の電界効果トランジスタに接続され、前記第1の電源配線の電位とは
20 相対的に低い電位を供給する第2の電源配線と、

前記第1の半導体領域と前記第1の電源配線との間に介在された第1のスイッチ素子と、

前記第2の半導体領域と前記第2の電源配線との間に介在された第2のスイッチ素子とを備え、

25 前記第1のスイッチ素子を、前記複数の基本セルのうちの所定の基本セル内の第1の電界効果トランジスタで形成し、かつ、前記第1の半導体領域内に複数分散させて配置し、

前記第2のスイッチ素子を、前記複数の基本セルのうちの所定の基本セル内の第2の電界効果トランジスタで形成し、かつ、前記第1の半導体領域内に複数分

散させて配置し、

前記第1の電界効果トランジスタのうちの未使用の第1の電界効果トランジスタのソース、ドレン用の一対の半導体領域の少なくとも一方と前記第1の電源配線とを電気的に接続し、

5 前記第2の電界効果トランジスタのうちの未使用の第2の電界効果トランジスタのソース、ドレン用の一対の半導体領域の少なくとも一方と前記第2の電源配線とを電気的に接続したことを特徴とする半導体装置。

3 3. 半導体基板の周辺回路領域に形成された第1および第2半導体領域と、前記半導体基板の周辺回路領域に規則的に配置された複数の入出力回路用セル

10 と、

前記複数の入出力回路用セルの各々に配置され、前記第1および第2半導体領域に形成された入出力回路用の複数の電界効果トランジスタと、

前記入出力回路用の複数の電界効果トランジスタに対して電源電圧を供給する電源配線と、

15 前記周辺回路領域における第2半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、

前記第1半導体領域内の入出力回路用の電界効果トランジスタによって外部端子に電気的に接続される出力回路を形成し、かつ、前記第2半導体領域内の入出力回路用の電界効果トランジスタによって外部端子に電気的に接続される入力回

20 路を形成し、

前記第2半導体領域内の入出力回路用の電界効果トランジスタのうちの入力回路に使用されない電界効果トランジスタによって前記スイッチ素子を形成したことを特徴とする半導体装置。

3 4. 半導体基板の周辺回路領域に形成された半導体領域と、

25 前記半導体基板の周辺回路領域に規則的に配置された複数の入出力回路用セルと、

前記複数の入出力回路用セルの各々に配置され、前記半導体領域に形成された入出力回路用の複数の電界効果トランジスタと、

前記入出力回路用の複数の電界効果トランジスタに対して電源電圧を供給する

電源配線と、

前記周回路領域における半導体領域と前記電源配線との間に介在されたスイッチ素子とを備え、

前記周回路領域は、外部領域と内部領域とを有し、前記外部領域には相対的

5 にしきい値電圧の高い前記入出力回路用の電界効果トランジスタが配置され、前記内部領域には相対的にしきい値電圧の低い前記入出力回路用の電界効果トランジスタが配置され、

前記内部領域内の入出力回路用の電界効果トランジスタのうちの入力回路として使用されない電界効果トランジスタによって前記スイッチ素子を形成したこと

10 を特徴とする半導体装置。

35. 請求項3 4記載の半導体装置において、前記外部領域内の入出力回路用の電界効果トランジスタによって出力回路を形成し、かつ、前記内部領域内の入出力回路用の電界効果トランジスタによって入力回路を形成したことを特徴とする半導体装置。

15 36. 請求項3 3, 3 4または3 5記載の半導体装置において、前記出力回路を構成する電界効果トランジスタのゲート絶縁膜の厚さが、前記入力回路を構成する電界効果トランジスタのゲート絶縁膜の厚さよりも厚いことを特徴とする半導体装置。

20 37. 請求項3 3, 3 4, 3 5または3 6記載の半導体装置において、前記スイッチ素子を形成する電界効果トランジスタのゲート電極に接続される配線が、半導体装置の内部回路領域を取り囲むように配置されていることを特徴とする半導体装置。

25 38. 請求項3 3～3 7のいずれか1項に記載の半導体装置において、前記入出力回路として使用されない電界効果トランジスタのソース、ドレイン用の一対の半導体領域の少なくとも一方と、前記電源配線とを電気的に接続して容量素子を形成したことを特徴とする半導体装置。

39. (a) 半導体基板に複数の基本セルを規則的に配置する工程と、

(b) 前記複数の基本セルのうちの所定の基本セルの電界効果トランジスタによって、前記半導体基板に形成された半導体領域と半導体装置の電源配線とを電気

的に接続したり切り離したりするスイッチ素子を形成する工程と、

(c) 前記複数の基本セルのうちの所定の基本セルによって複数の回路を形成する工程とを有することを特徴とする半導体装置の製造方法。

40. (a) 半導体基板に複数の基本セルを規則的に配置する工程と、

5 (b) 前記複数の基本セルのうちの所定の基本セルの電界効果トランジスタによって、前記半導体基板に形成された半導体領域と半導体装置の電源配線とを電気的に接続したり切り離したりするスイッチ素子を形成する工程と、

(c) 前記複数の基本セルのうちの所定の基本セルによって複数の回路を形成する工程と、

10 (d) 前記複数の基本セルのうちの未使用の電界効果トランジスタのソース、ドレイン用の一対の半導体領域のうちの少なくとも一方と、前記電源配線とを電気的に接続する接続孔を配置する工程とを有することを特徴とする半導体装置の製造方法。

41. (a) 半導体基板に複数の基本セルを規則的に配置する工程と、

15 (b) 前記複数の基本セルのうちの所定の基本セルの電界効果トランジスタによって、前記半導体基板に形成された半導体領域と半導体装置の電源配線とを電気的に接続したり切り離したりするスイッチ素子を形成する工程と、

(c) 前記複数の基本セルのうちの所定の基本セルによって複数の回路を形成する工程とを有し、

20 前記(c)工程において、前記複数の回路のうちの所定の回路内には前記スイッチ素子が内蔵されていることを特徴とする半導体装置の製造方法。

42. (a) 半導体基板に複数の基本セルを規則的に配置する工程と、

(b) 前記複数の基本セルのうちの所定の基本セルによって複数の回路を形成する工程とを有し、

25 前記複数の回路のうちの所定の回路内には前記スイッチ素子が内蔵されていることを特徴とする半導体装置の製造方法。

43. 請求項2, 4, 6 または8に記載の半導体装置において、前記半導体領域と、前記反対導電型の半導体領域とで容量素子が形成されることを特徴とする半導体装置。

4 4. 請求項 3, 5, 9, 11 または 12 に記載の半導体装置において、前記半導体領域と、前記未使用の電界効果トランジスタのソース、ドレン用の一対の半導体領域の少なくとも一方とで容量素子が形成されることを特徴とする半導体装置。

5 4 5. 請求項 7 ~ 12, 43 または 44 のいずれか 1 項に記載の半導体装置において、前記基本セルを用いて論理回路が構成され、前記スイッチ素子が形成される基本セル間に前記論理回路が構成されることを特徴とする半導体装置。

4 6. 請求項 9, 11, 12, 44 または 45 に記載の半導体装置において、前記基本セルを用いて論理回路が構成され、前記未使用の電界効果トランジスタは論理回路を構成しない基本セルの電界効果トランジスタであり、前記スイッチ素子が形成される基本セル間に、前記論理回路および未使用の基本セルが構成されることを特徴とする半導体装置。

15

20

25

1

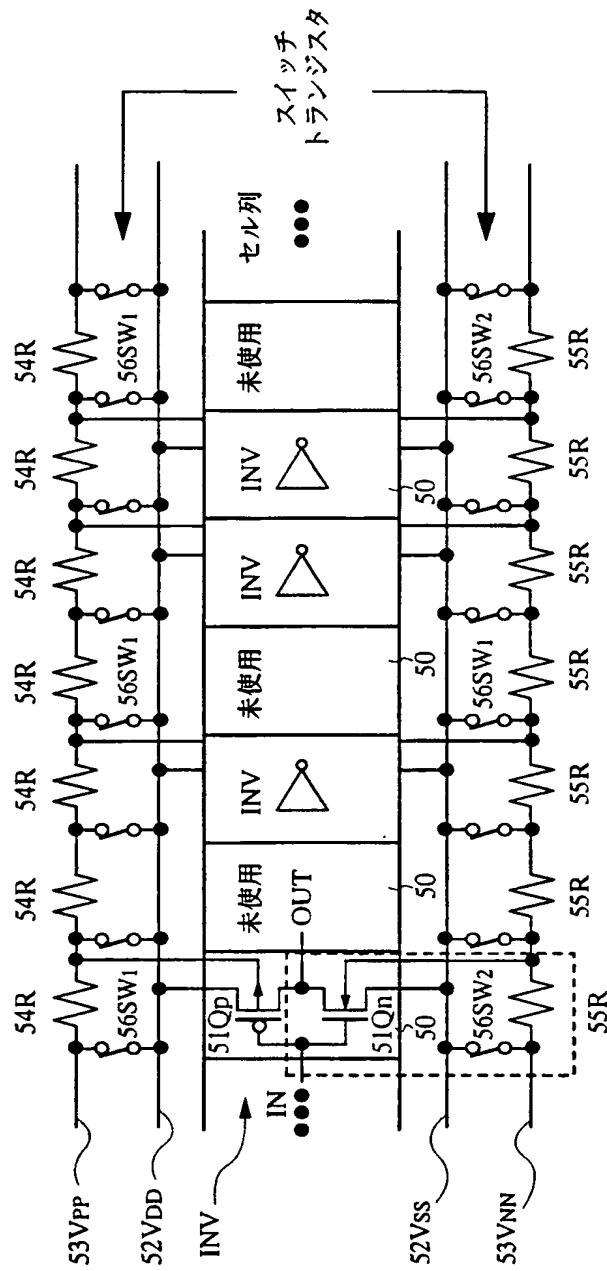
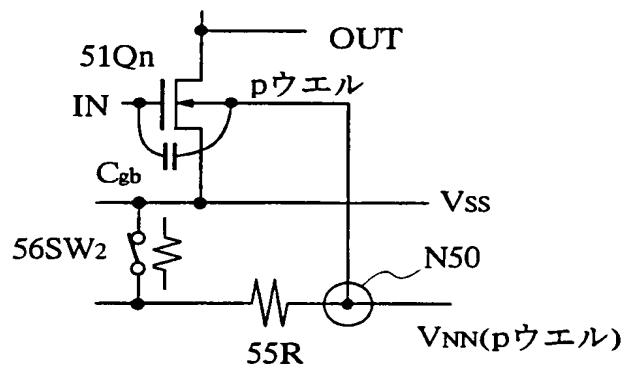
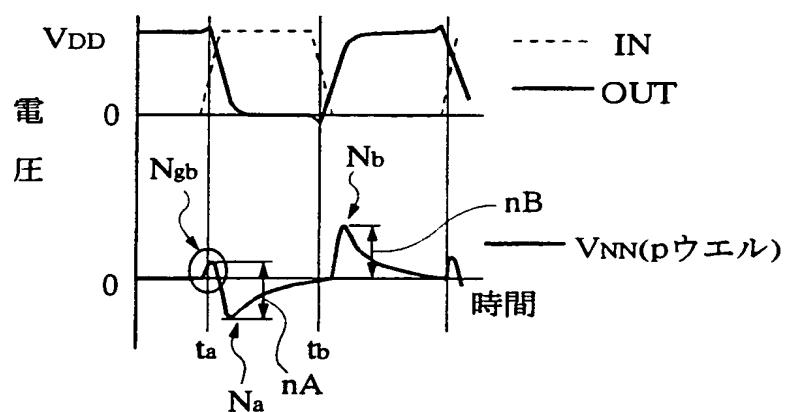


図 2

(a)



(b)



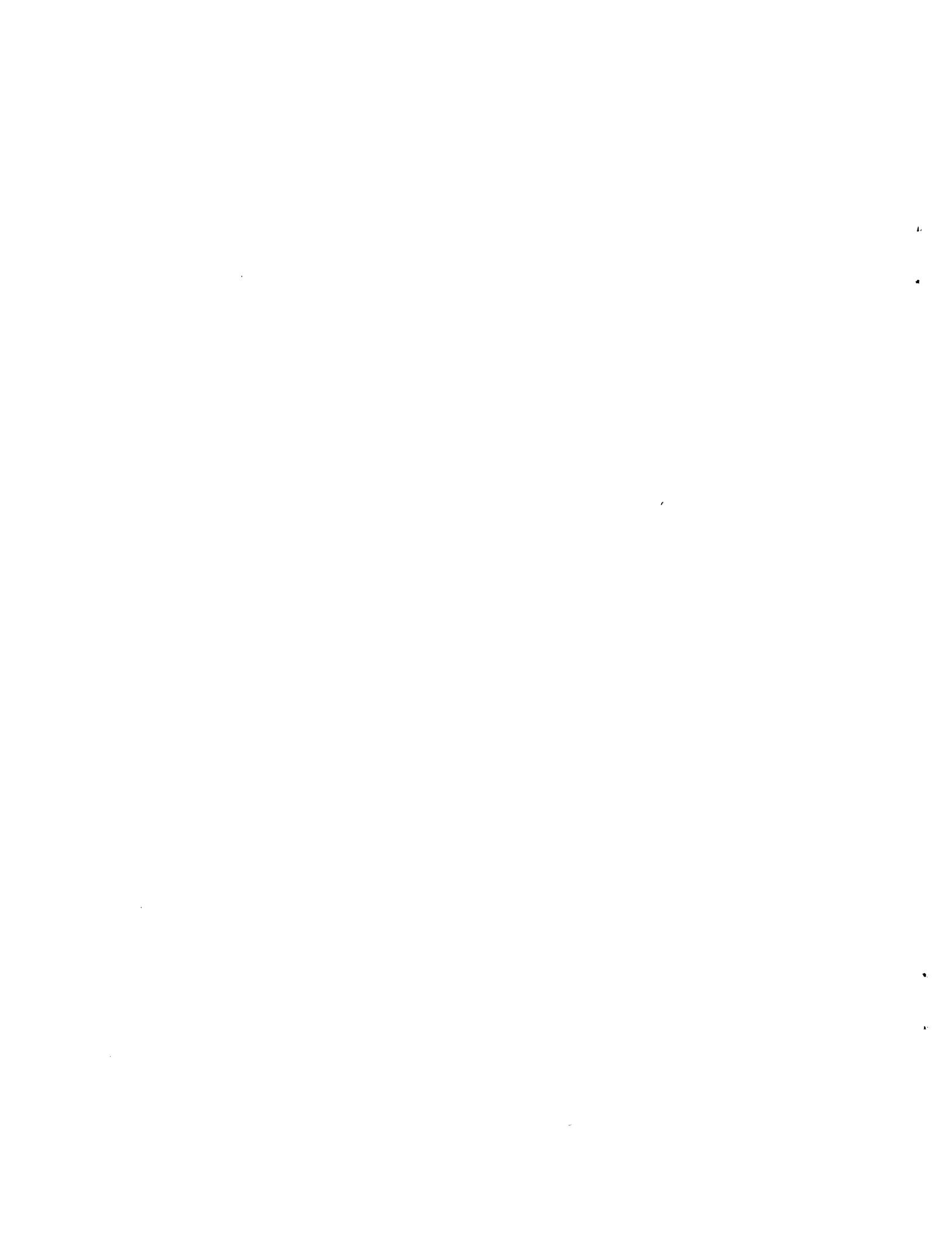
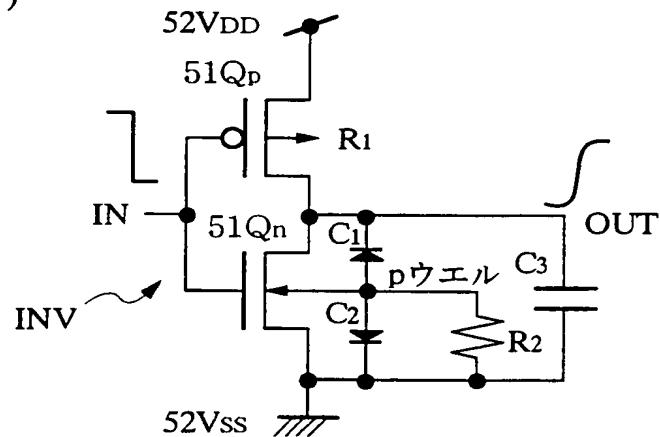
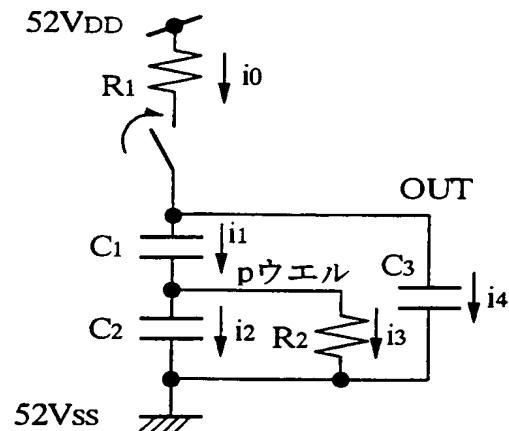


图 3

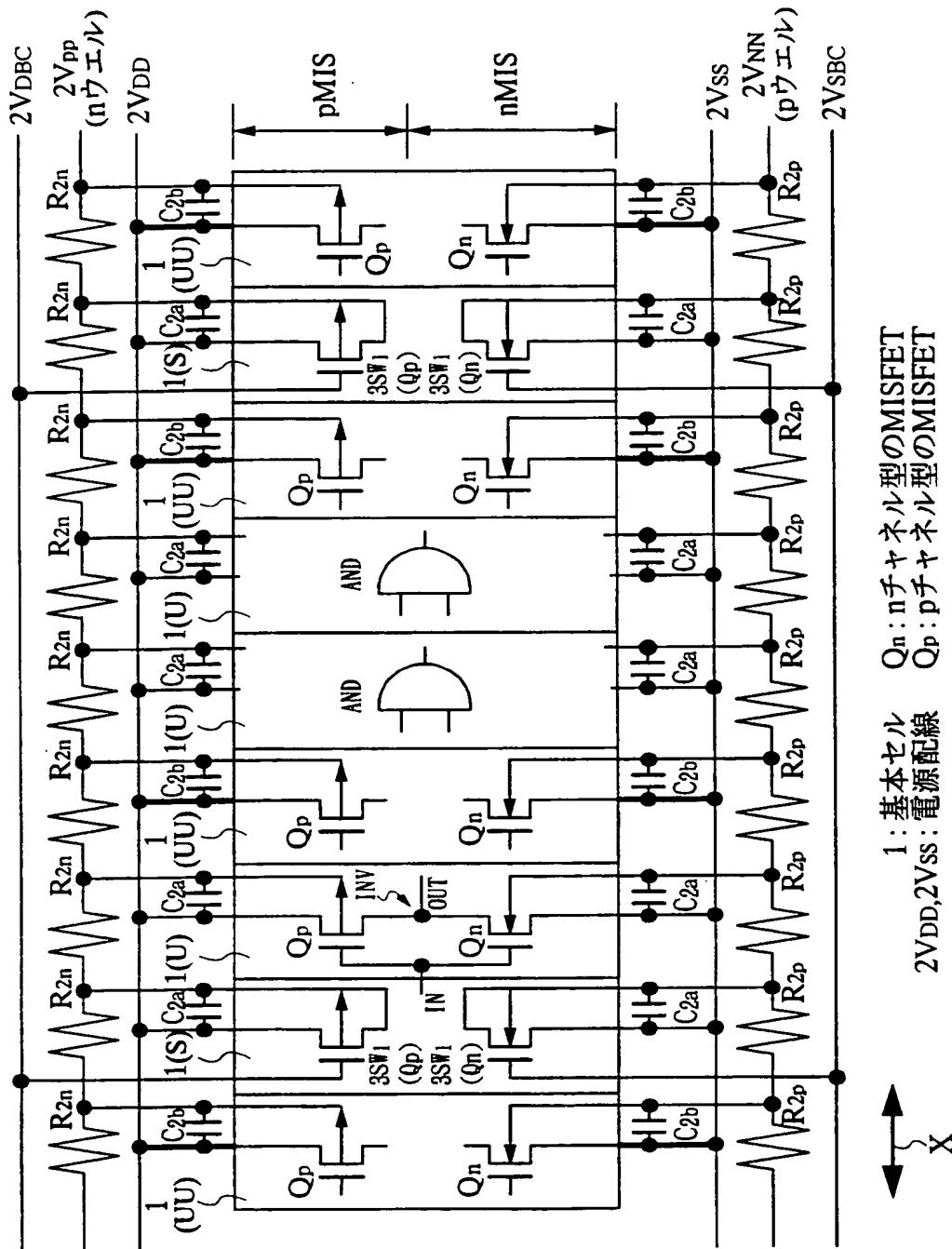
(a)

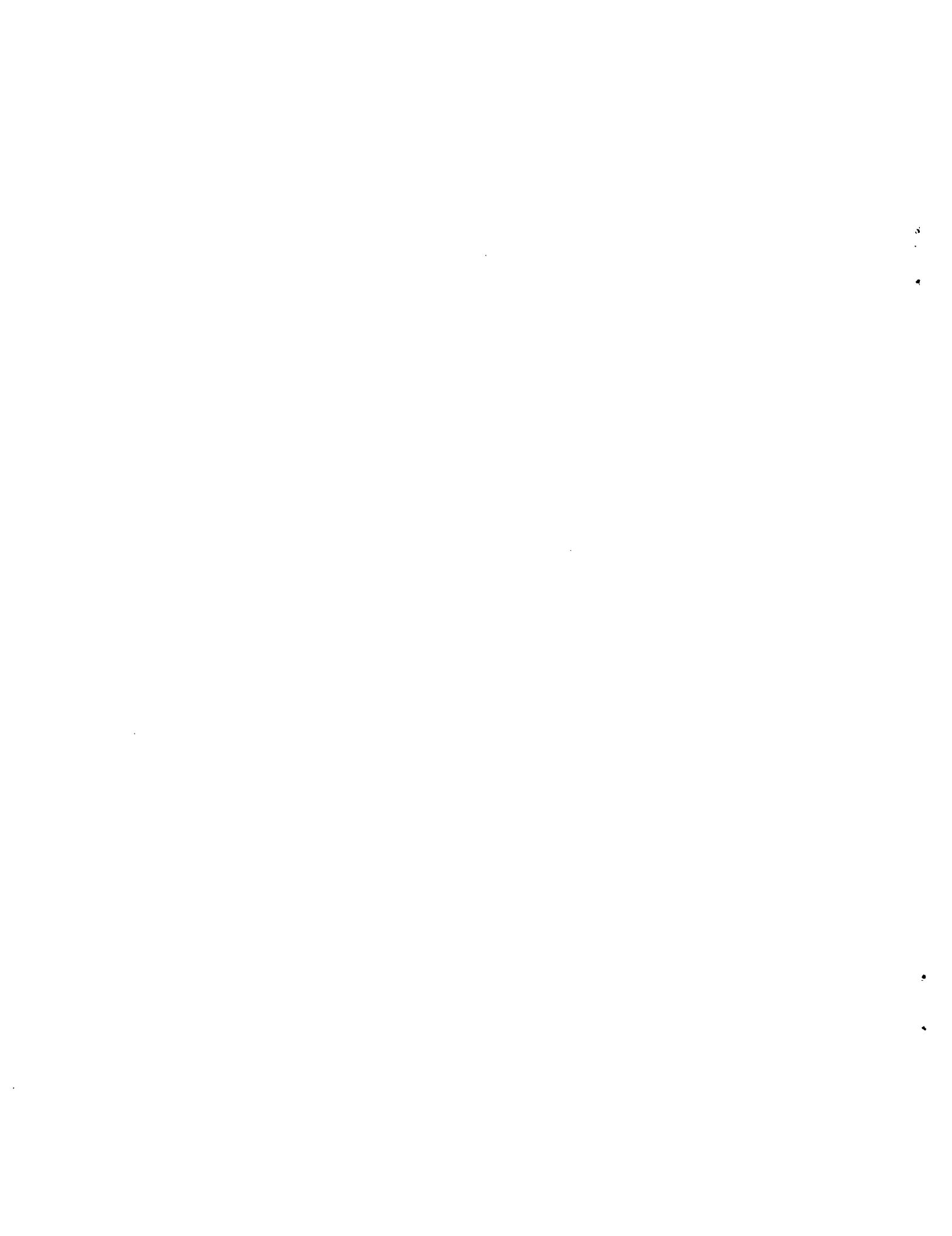


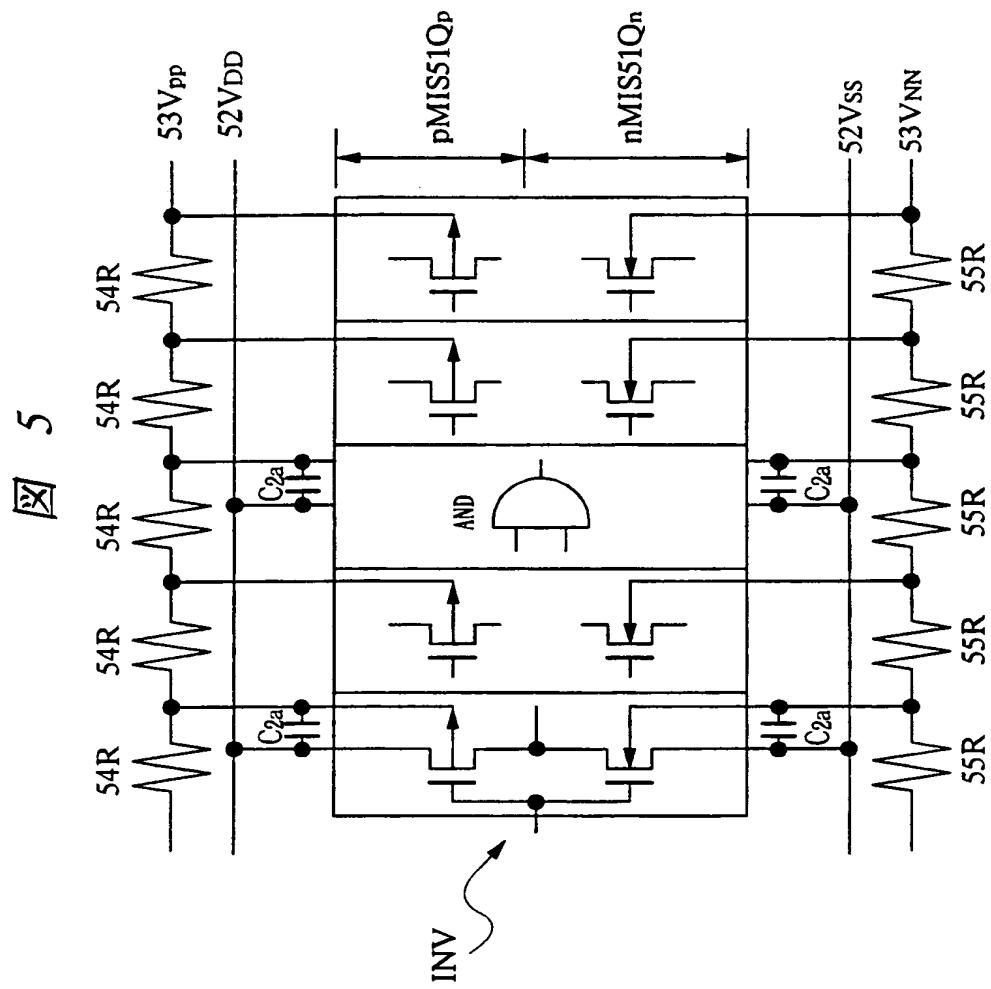
(b)



4







THIS PAGE BLANK (USPTO)